

نام درس: معماری کامپیوتر
 رشته تحصیلی / کد درس: نرم افزار ۱۱۱۵۰۸۲ - نرم افزار (تجمیع) - سخت افزار - ۱۱۱۵۱۴۳
 تعداد سوالات: تستی: ۲۵ تشریحی: ۶
 زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰
 فناوری اطلاعات - فناوری اطلاعات (تجمیع) ۱۱۱۵۱۴۳ - علوم کامپیوتر ۱۱۱۹۰۱۰ - علوم کامپیوتر (تجمیع) ۱۱۱۵۱۴۳ - مدیریت اجرایی ۱۱۱۵۱۹۱ - جبرانی ارشد ۱۱۱۵۰۸۲
 کد سری سؤال: یک (۱) استفاده از: ماشین حساب مجاز است.

تنها با یاد اوست که دل‌ها آرام می‌گیرد.

۱. با توجه به شکل کامپیوتر پایه که در پیوست آمده است کدام یک از زیر عمل‌های زیر در یک پالس ساعت قابل انجام است؟

الف. $AR \leftarrow PC, DR \leftarrow TR$ ب. $AC \leftarrow AC + DR, AC \leftarrow AC + 1$

ج. $AC \leftarrow DR, PC \leftarrow AR$ د. $TR \leftarrow M[AR], DR \leftarrow TR$

۲. R_0, R_1, R_2 ثبات‌های Nبیتی هستند. فلیپ فلاپ‌های S و F و D به عنوان کنترل در سیستم وجود دارند. مجموعه دستورات

زیر در صورتی که سیستم در ابتدا با فعال شدن فلیپ فلاپ S شروع به کار کند چه عملی را انجام می‌دهد؟

$S: S \leftarrow 0, F \leftarrow 1, D \leftarrow 0, R_2 \leftarrow 0$

$F: \text{if } (R_0 \geq R_1) \text{ then } (R_0 \leftarrow R_0 - R_1, R_2 \leftarrow R_2 + 1) \text{ else } (F \leftarrow 0, D \leftarrow 1) D: \text{halt}$

الف. تقسیم R_0 بر R_1 و خارج قسمت در R_1

ب. تقسیم R_0 بر R_1 و خارج قسمت در R_2 و باقیمانده در R_0

ج. تقسیم R_0 بر R_1 و خارج قسمت در R_0 و باقی مانده در R_1

د. تقسیم R_1 بر R_0 و خارج قسمت در R_2 و باقی مانده در R_1

۳. کدامیک از انتقال بین رجیسترها غلط است؟

الف. $yT: R_1 \leftarrow R_p, R_p \leftarrow R_1$

ب. $WT: PC \leftarrow PC + 1$

ج. $ZT: PC \leftarrow AR, TR \leftarrow AR$

د. $XT: AR \leftarrow AR + 1, AR \leftarrow 0$

۴. به منظور ساخت یک گذرگاه مشترک که تعداد ۱۶ ثبات (register) ۸ بیتی را به هم وصل بنماید حداقل سخت افزار کدام است.

الف. ۱۶ عدد Max با ۳ خط انتخاب.

ب. ۱۶ عدد Max با ۴ خط انتخاب.

ج. ۸ عدد Max با ۳ خط انتخاب.

۵. کدامیک از کدهای زیریک دستورالعمل ثباتی است؟ (X بیانگر این است که هر کدی می‌تواند جایگزین آن شود).

الف. $7XXX$ ب. $EXXX$ ج. $0XXX$ د. $FXXX$

۶. مقادیر خانه‌های حافظه در زیر مشخص شده و از پردازنده‌ای استفاده شده که دارای یک AC با میدان تک آدرس در دستورالعمل

است، AC پس از اجرای هریک از دستورات زیرچه مقداری خواهد داشت (بترتیب پاسخ مربوط به A تا D از راست به چپ)

- مقدار کلمه ۲۰ حافظه ۴۰ است - مقدار کلمه ۳۰ حافظه ۵۰ است - مقدار کلمه ۴۰ حافظه ۶۰ است - مقدار کلمه ۵۰ حافظه ۷۰ است

A: LD #۲۰

B: LD @۲۰

C: LD ۳۰

D: LD @۳۰

الف. ۲۰ و ۴۰ و ۳۰ و ۵۰ ب. ۲۰ و ۶۰ و ۵۰ و ۷۰

ج. ۲۰ و ۶۰ و ۳۰ و ۷۰ د. ۴۰ و ۶۰ و ۵۰ و ۷۰

نام درس: معماری کامپیوتر
رشته تحصیلی / گد درس: نرم افزار ۱۱۵۰۸۲ - نرم افزار (تجمیع) - سخت افزار - ۱۱۵۱۴۳
تعداد سوالات: تستی: ۲۵ تشریحی: ۶
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰
فناوری اطلاعات - فناوری اطلاعات (تجمیع) ۱۱۵۱۴۳ - علوم کامپیوتر ۱۱۹۰۱۰ - علوم کامپیوتر (تجمیع) ۱۱۵۱۴۳ - مدیریت اجرایی ۱۱۵۱۹۱ - جبرانی ارشد ۱۱۵۰۸۲
گد سری سؤال: یک (۱) استفاده از: ماشین حساب مجاز است.

۷. با فرض اینکه مقایسه دو عدد A, B به صورت $A+B'+1$ انجام می شود مشخص کنید شرط تعیین کننده $A < B$ در دو حالت A, B بدون علامت و علامت دار به ترتیب چیست؟
($Sign=s, carry=c, overflow=v, zero=z$)

ب. $C + Z = 1, S = 0$

الف $VS + V'S' = 0, C = 1$

د. $S = 0, C + Z = 1$

ج. $VS + V'S' = 1, C = 1$

۸. یک پردازنده با مشخصات زیر پیاده سازی شده است: واکنشی دستورات ۲ پالس ساعت به طول می انجامد. اجرای دستورات ۳ پالس ساعت به طول می انجامد. پردازنده در سرعت ۱۰۰ مگاهرتز کار می کند. ایجاد تغییرات زیر ممکن است:
حالت ۱. انجام واکنشی در یک پالس ساعت که باعث می گردد سرعت پردازنده به ۸۰ مگاهرتز کاهش یابد.
حالت ۲. اجرای دستورات در دو پالس ساعت که باعث می گردد سرعت پردازنده به ۷۵ مگاهرتز کاهش یابد.
حالت ۳. واکنشی در ۳ پالس ساعت و اجرا در ۴ پالس ساعت که باعث می گردد سرعت تا ۱۵۰ مگاهرتز افزایش یابد. چنانچه برنامه ای با تعداد دستور مشخص روی ساختارهای فوق اجرا شود کدام ساختار کمترین زمان اجرا را منجر می شود.

د. حالت ۳

ج. حالت ۱

ب. حالت ۲

الف. حالات ۱ و ۲

۹. کدامیک از گزاره های زیر صحیح است؟ (توجه: برای پاسخگویی به سوالات ۹-۱۱ از شکل ضمیمه) ثبات کامپیوتر پایه متصل به یک گذرگاه مشترک استفاده کنید)

الف. عمل $AC \leftarrow DR$ و عمل $DR \leftarrow AC$ ، هر دو ریز عمل های ALU هستند.

ب. عمل $AC \leftarrow DR$ یک ریز عمل انتخاب BUS و عمل $DR \leftarrow AC$ ، یک ریز عمل ALU است.

ج. عمل $DR \leftarrow AC$ یک ریز عمل انتخاب BUS و عمل $AC \leftarrow DR$ ، یک ریز عمل ALU است.

د. عمل $AC \leftarrow DR$ و عمل $DR \leftarrow AC$ ، هر دو ریز عمل های انتخاب BUS هستند.

۱۰. براساس شمای حافظه زیر فرض کنید اینک نوبت اجرای دستور BSA ذخیره شده در آدرس ۲۰ رسیده است پس از آنکه این دستور اجرا گردد وانشعاب به ریز برنامه یا روال صورت گیرد محتوای کدامیک از خانه های زیر برابر ۲۱ خواهد بود؟

آدرس	محتوای حافظه		
	I	Opcode	Address
20	1	BSA	175
21	دستور بعدی		
⋮	⋮		
175	225		
⋮	⋮		
225	⋮		
226	زیر برنامه مربوطه ↓		
⋮	⋮		
	1	BUN	225
⋮	⋮		
⋮	⋮		

الف. $M[225]$

ب. $M[22]$

ج. $M[226]$

د. $M[175]$

۱۱. با توجه به فاز Fetch و Decode و شکل پیوست کامپیوتر پایه مشخص کنید توابع کنترل خطوط انتخاب S_0 ، S_1 و S_2 کدام است؟

$$T_0 : AR \leftarrow PC;$$

$$T_1 : IR \leftarrow M[AR], PC \leftarrow PC + 1;$$

$$T_2 : D_0 \dots D_7 \leftarrow DecodeIR(12-14), AR \leftarrow IR(0-11), I \leftarrow IR(15);$$

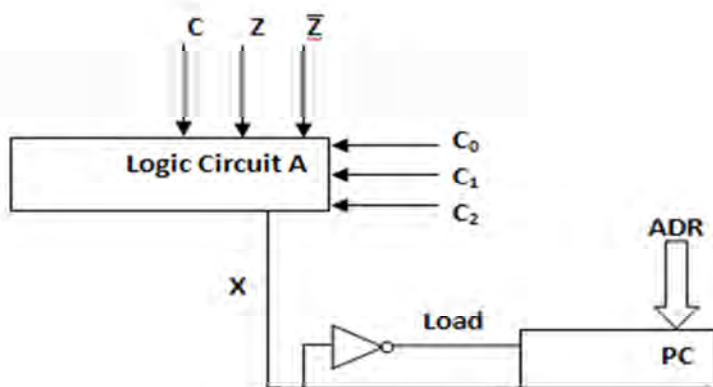
الف. $S_2 = T_2, S_1 = T_0 + T_1, S_0 = T_1$

ب. $S_2 = T_0 + T_1, S_1 = T_1 + T_2, S_0 = T_1 + T_2$

ج. $S_2 = T_1 + T_2, S_1 = T_0 + T_1, S_0 = T_1 + T_2$

د. $S_2 = T_1 + T_0, S_1 = T_0 + T_1, S_0 = T_0 + T_1 + T_2$

۱۲. مدار زیر بخشی از کنترلر میکروپروگرام یک کامپیوتر ساده برای کنترل نمودن رجیستر PC می باشد. معادله خروجی X مدار منطقی A که برای کنترل PC به کار می رود کدام است. کنترل های C_0 و C_1 و C_2 طبق جدول داده شده عمل می کنند.



Inc				دستور العمل
C_0	C_1	C_2		
0	0	0		Branch if Z=۱
0	0	1		Branch if Z=۰
0	1	0		Branch if C=۱
0	1	1		Branch if C=۰
1	0	0		Next Instruction

الف. $X = \bar{C}_0 \bar{C}_1 \bar{C}_2 \bar{Z} + C_0 C_1 C_2 C + C_1 C_2 Z$

ب. $X = \bar{C}_0 \bar{C}_1 (C_2 \oplus Z) + \bar{C}_0 \bar{C}_1 (C_2 \oplus Z) + C_0 \bar{C}_1 \bar{C}_2$

ج. $X = \bar{C}_0 \bar{C}_1 (\bar{C}_2 \oplus \bar{Z}) + \bar{C}_0 \bar{C}_1 (\bar{C}_2 \oplus C) + C_0 \bar{C}_1 \bar{C}_2$

د. $X = \bar{C}_0 \bar{C}_1 \bar{C}_2 Z$

۱۳. فرض کنید حافظه کنترلر ۱۰۲۴ کلمه ۱۲ بیتی دارد ریز دستور العمل ها دارای سه میدان هستند، میدان ریز عمل ها ۱۲۸ بیتی است، میدان ادرس انشعاب چند بیتی می باشد؟

الف. 9 بیتی ب. 7 بیتی ج. 8 بیتی د. 10 بیتی

۱۴. کدام گزینه مزیت عمده کنترل ریز برنامه نویسی شده در مقابل پیکربندی سخت افزاری می باشد.

الف. سرعت بیشتر و تغییر پیکربندی سخت افزار برای عملیات متفاوت

ب. عدم تغییر پیکربندی سخت افزار برای عملیات متفاوت

ج. تغییر پیکربندی سخت افزار برای عملیات متفاوت

د. سرعت بیشتر

نام درس: معماری کامپیوتر
 رشته تحصیلی / کد درس: نرم افزار ۱۱۱۵۰۸۲ - نرم افزار (تجميع) - سخت افزار - ۱۱۱۵۱۴۳
 تعداد سوالات: تستی: ۲۵ تشریحی: ۶
 زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰
 فناوری اطلاعات - فناوری اطلاعات (تجميع) ۱۱۱۵۱۴۳ - علوم کامپیوتر ۱۱۱۹۰۱۰ - علوم کامپیوتر (تجميع) ۱۱۱۵۱۴۳ - مدیریت اجرایی ۱۱۱۵۱۹۱ - جبرانی ارشد ۱۱۱۵۰۸۲
 کد سری سؤال: یک (۱) استفاده از: ماشین حساب مجاز است.

۱۵. اگر بخواهیم ضرب علامت دار دو عدد $A=000011$ و $B=011101$ را با الگوریتم Booth انجام دهیم. با فرض اینکه هر عمل جمع 10 ns و هر عمل شیف 2 ns و هر مکمل گیری 5 ns طول بکشد حاصل ضرب برابر با کدام مقدار خواهد بود؟ (زمان آماده سازی اولیه انباشتگر صفر در نظر گرفته می شود).

- الف. 00000101111
 ب. 00001010111
 ج. 000000110111
 د. 00000101111

۱۶. یک ضرب سه بیتی در سه بیتی را با حداقل کدام عناصر زیر می توان انجام داد؟

- الف. 9 گیت AND و 2 جمع کننده تمام افزار (Full Adder)
 ب. 6 گیت AND و 2 جمع کننده تمام افزار (Full Adder)
 ج. 6 گیت AND و 3 جمع کننده تمام افزار (Full Adder)
 د. 9 گیت AND و 3 جمع کننده تمام افزار (Full Adder)

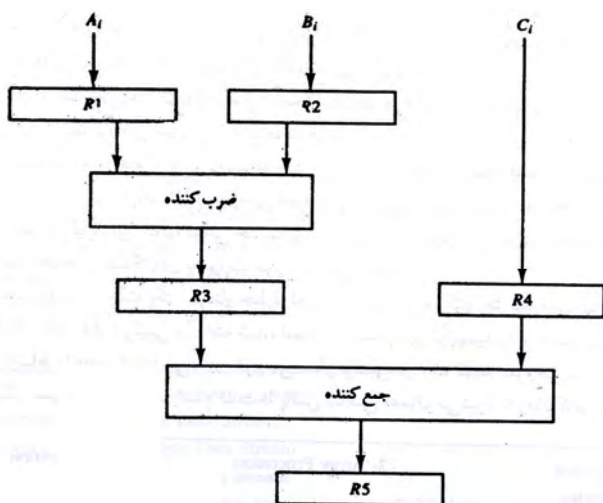
۱۷. برای جمع داده های BCD با K رقم BCD، با بکارگیری بلوک جمع کننده BCD کدامیک از روش ها به تعداد بیشتری جمع کننده BCD نیاز دارد و کدامیک کندتر است؟

- الف. روش رقم سری - بیت موازی و روش تمام سری
 ب. روش موازی و روش تمام سری
 ج. روش موازی و روش رقم سری - بیت موازی
 د. روش تمام سری و روش موازی

۱۸. به کمک یک خط لوله ۵ مرحله ای و با سیکل ساعت 0/5 میلی ثانیه ای، اگر زمان اجرای هر دستور بدون خط لوله 2.5 MS باشد، میزان تسریع اجرای ۵۰ دستور یکسان چقدر می باشد؟

- الف. 4.5
 ب. 4.73
 ج. 4.83
 د. 4.63

۱۹. برای سیستم خط لوله شکل زیر، تأخیرهای انتشار زیر را داریم.



تأخیر انتشار برای خواندن اپرند از حافظه و انتقال به رجیسترهای R_1, R_2, R_4 برابر ۴۰ نانو ثانیه است. تأخیر انتشار برای ضرب کننده معادل ۴۵ نانو ثانیه است. تأخیر انتشار برای انتقال نتیجه حاصل ضرب به R_3 معادل ۵ نانو ثانیه است. تأخیر انتشار برای جمع دو عدد و انتقال به R_5 معادل ۱۵ نانو ثانیه است. حداقل کلاک سیکل برای سیستم خط لوله فوق کدام است.

- الف. 45 ns
 ب. 55 ns
 ج. 50 ns
 د. 40 ns

نام درس: معماری کامپیوتر
 رشته تحصیلی / کد درس: نرم افزار ۱۱۱۵۰۸۲ - نرم افزار (تجمیع) - سخت افزار - ۱۱۱۵۱۴۳
 فناوری اطلاعات - فناوری اطلاعات (تجمیع) ۱۱۱۵۱۴۳ - علوم کامپیوتر ۱۱۱۹۰۱۰ - علوم کامپیوتر (تجمیع) ۱۱۱۵۱۴۳ - مدیریت اجرایی ۱۱۱۵۱۹۱ - جبرانی ارشد ۱۱۱۵۰۸۲
 کد سری سؤال: یک (۱) استفاده از: ماشین حساب مجاز است.

۲۰. اگر یک خط لوله (pipeline) سه ایستگاهی را به چهار ایستگاه تبدیل کنیم پیرو ساعت از t به $0.9t$ کاهش می یابد فرض کنید ۳۰٪ دستورات پرش هستند. دستور بعد از دستور پرش وارد لوله نمی شود تا اینکه دستور پرش به اتمام برسد. نسبت زمان اجرا n دستور در ساختار سه ایستگاهی به ساختار چهار ایستگاهی چقدر است؟

الف. $\frac{2t + 1.9nt}{2/7t + 1/71nt}$ ب. $\frac{1.9}{1.71}$

ج. $\frac{3t + 1.9nt}{3.6t + 1.71nt}$ د. $\frac{3}{3.6}$

۲۱. کدام جمله در رابطه با انتقال داده ورودی/خروجی I/O (data transfer) نادرست می باشد؟
 الف. کانال های ورودی/خروجی (I/O channel) برای مستقل کردن CPU از پردازش I/O به کار می روند.
 ب. روش I/O برنامه نویسی شده در مقایسه با روش وقفه وقت بیشتری را از CPU می گیرند.
 ج. استفاده از وقفه می تواند از توقف CPU روی یک وسیله جانبی برای ورود و خروج اطلاعات جلوگیری نماید.
 د. روش DMA برای انتقال I/O از جهت سخت افزار کنترل بهینه می باشد.
 ۲۲. مزیت نگاشت ورودی - خروجی در فضای حافظه (memory mapped I/O) در مقایسه با ورودی و خروجی مجزا (Isolated I/O) چیست؟

الف. تمام دستورالعمل های مربوط به حافظه را می توان برای I/O آئین استفاده نمود.
 ب. معمولا سریعتر از Isolated است.
 ج. به مدارهای سخت افزاری کمتری برای انتخاب یک درگاه ورودی یا خروجی نیاز دارد.
 د. فضای قابل آدرس دهی حافظه تقریبا دوبرابر می شود.

۲۳. در یک سیستم که شامل یک CPU، یک حافظه اصلی و یک کش (cache) است، اگر اطلاعات مورد درخواست در ۹۰٪ مواقع در cache باشد، همچنین اگر زمان دستیابی به حافظه اصلی ۱۰۰ ns، و زمان دستیابی به کش ۱ ns باشد، متوسط زمان دستیابی چقدر است؟ (بر حسب نانوثانیه)

الف. ۱۰ ب. ۱۱.۹ ج. ۱۱ د. ۱۰.۹

۲۴. در یک حافظه نهان شرکت پذیر مجموعه ای با دو بلوک در هر مجموعه (Two way set associative cache) از بلوک های چهار کلمه ای استفاده می شود. این حافظه نهان می تواند در مجموع ۲۰۴۸ کلمه از حافظه اصلی را در خود جای دهد. اندازه حافظه اصلی (۱۲۸k) کلمه است بر چسب Tag در این حافظه چند بیت دارد؟

الف. ۹ ب. ۶ ج. ۷ د. ۸

۲۵. کدام یک از موارد زیر از ویژگی های معماری RISC نمی باشد؟

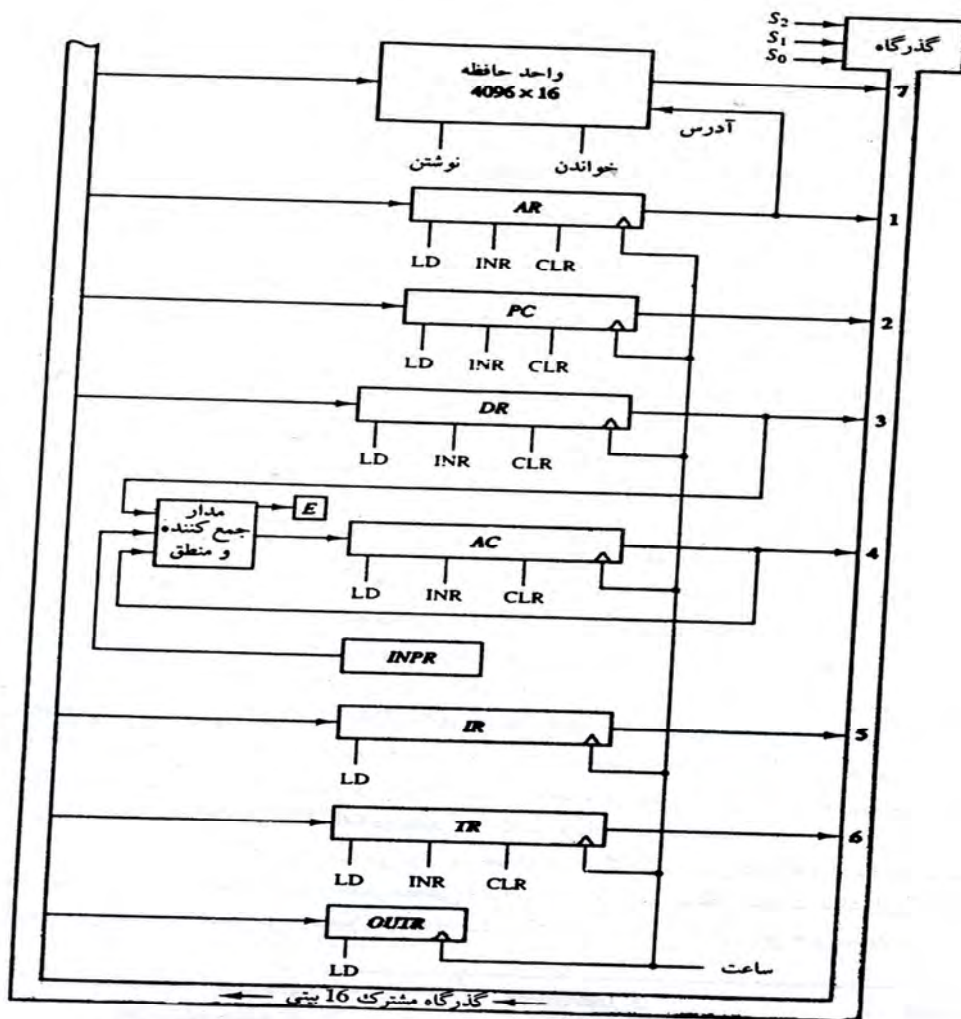
الف. دستورات نسبتاً کم
 ب. دستیابی به حافظه منحصر است به دستورات بارکردن و ذخیره سازی
 ج. قالب دستورات با طول متغیر
 د. اجرای دستورات در یک سیکل

نام درس: معماری کامپیوتر
رشته تحصیلی / گد درس: نرم افزار ۱۱۵۰۸۲ - نرم افزار (تجمیع) - سخت افزار - ۱۱۵۱۴۳
تعداد سوالات: تستی: ۲۵ تشریحی: ۶
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰
فناوری اطلاعات - فناوری اطلاعات (تجمیع) ۱۱۵۱۴۳ - علوم کامپیوتر ۱۱۹۰۱۰ - علوم کامپیوتر (تجمیع) ۱۱۵۱۴۳ - مدیریت اجرایی ۱۱۵۱۹۱ - جبرانی ارشد ۱۱۵۰۸۲
گد سری سؤال: یک (۱)
استفاده از: ماشین حساب
مجاز است.

سوالات تشریحی

توجه: از ۶ سوال زیر، به ۵ مورد به اختیار پاسخ دهید. هر پرسش ۱/۲ نمره دارد.

۱. سخت افزار مربوط به وقفه اولویت دار زنجیره ای را رسم کرده و آن را شرح دهید؟
۲. سخت افزار مربوط به حافظه تداغیگر را به همراه یک سلول از آن بطور کامل رسم کرده و معادلات مدار انطباق را بنویسید؟
۳. در برخی از محاسبات علمی لازم است تارابطه حسابی $(C_i + D_i)(A_i + B_i)$ با دنباله ای از اعداد انجام شود یک پیکر بندی خط لوله با سه قطعه را برای انجام آن رسم کنید و محتوای تمامی ثبات های خط لوله را به ازاء $1 = A_1$ تا 6 به صورت جدول رسم کنید؟
۴. مدار ضرب کننده را برای ضرب ۲ عدد دودویی $A = a_2 a_1 a_0$ و $B = b_3 b_2 b_1 b_0$ به روش آرایه ای رسم کنید؟
۵. یک گذرگاه مشترک برای چهار ثبات ۵ بیتی با استفاده از بافرهای سه حالته رسم کنید.
۶. فلوچارت سیکل وقفه را در یک کامپیوتر پایه رسم کنید



شکل ۴-۵ ثبات های کامپیوتر پایه متصل به یک گذرگاه مشترک

معماری	ترم دوم ۸۹
--------	------------

ج	1
ب.	2
د	3
د	4
الف	5
ب.	6
ج	7
د	8
ج	9
الف	10
ج	11
ج	12
د	13
ب.	14
ب.	15
الف	16
ب.	17
د	18
الف	19
الف	20
د	21
الف	22
ج	23
ب.	24
ج	25