

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: یک ۱

درس: VLSI طراحی سیستمهای

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۲۰۵

استفاده از ماشین حساب مهندسی مجاز است

۱- کدام جمله درست است؟

۰۱. بارآوری با افزایش اندازه die تقریباً ثابت میماند  
 ۰۲. بارآوری با افزایش اندازه die افزایش پیدا میکند  
 ۰۳. بارآوری با افزایش اندازه die کاهش پیدا میکند  
 ۰۴. بارآوری از اندازه die مستقل است

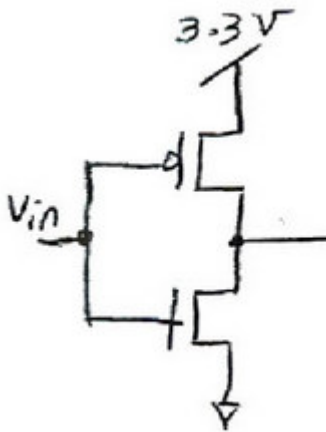
۲- با توجه به اینکه  $\mu_n = 2.5\mu_p$  است. عرض نسبی دو کانال MOSFET n و p باید چه رابطه‌ای نسبت به هم داشته باشند تا پارامتر رسانایی انتقال آنها یکسان باشد؟

۰۱.  $0.4w_p = w_n$       ۰۲.  $w_n = 4w_p$       ۰۳.  $w_p = 0.25w_n$       ۰۴.  $w_p = w_n$

۳- اگر بدانیم خروجی وارونگر زیر اندکی کمتر از  $\frac{V_{DD}}{2}$  است،  $V_{in}$  چقدر خواهد بود؟

$$V_{DD}=3.3, k_n = 100 \frac{\mu A}{V^2}, k_p = 40 \frac{\mu A}{V^2}$$

$$V_{TH,n} = |V_{TH,p}| = 0.7V, \lambda_n = \lambda_p$$



۰۴. 0.7 v

۰۳. 2.5 v

۰۲. 1.43 v

۰۱. 1.65 v

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

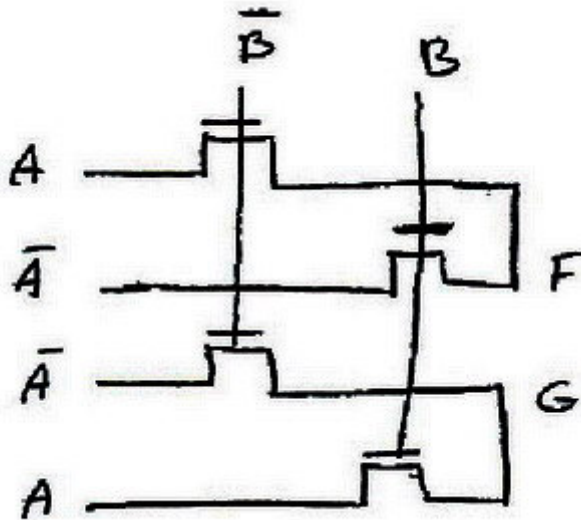
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: ۱ یک

درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۵۲۰۵

۴- منطق گیتهای انتقالی زیر چیست؟



AND / NOR .۴

AND / OR .۳

XOR / XNOR .۲

NAND / AND .۱

۵- فرض کنید قوانین طراحی به صورت زیر باشند:

= فاصله تماس تا لبه ناحیه فعال:  $0.3 \mu$

- اندازه تماس:  $0.4 \mu \times 0.4 \mu$

- حداقل پهنای ناحیه فعال:  $0.7 \mu$

- ناحیه تماس تا لبه پلی:  $0.4 \mu$

برای ترانزیستور به پهنای  $2 \mu$ ، که درین آن با فلز تماس پیدا کرده، مینیمم مساحت درین چقدر است؟

$1.05 \mu^2$  .۴

$2.2 \mu^2$  .۳

$1.21 \mu^2$  .۲

$4 \mu^2$  .۱

۶- برای یک ترانزیستور NMOS تخلیه ای که با  $V_{DS} = 0.1v$  در ناحیه تریودی کار می کند جریان درین به ازاء

$V_{GS} = -1v$  و  $V_{GS} = +1v$  به ترتیب  $1mA$  و  $3mA$  است. ولتاژ آستانه این ترانزیستور چقدر است؟

$-0.95v$  .۴

$-2.05v$  .۳

$0.8v$  .۲

$+3.4v$  .۱

۷- در یک گیت NOR پنج ورودی CMOS در صورتی که بخواهیم زمانهای بالا رونده و پایین رونده با هم مساوی باشند. اندازه

ترانزیستورها چیست؟ کوچکترین اندازه ترانزیستور را برابر با  $2\lambda$  و  $\mu_n = 2\mu_p$  فرض کنید.

$W_{pMOS} = W_{nMOS} = 10\lambda$  .۲

$W_{pMOS} = 4\lambda$  و  $W_{nMOS} = 10\lambda$  .۱

$W_{pMOS} = 20\lambda$  و  $W_{nMOS} = 2\lambda$  .۴

$W_{pMOS} = 10\lambda$  و  $W_{nMOS} = 2\lambda$  .۳

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: ۱ یک

درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۵۲۰۵

۸- یک ویفر هشت اینچی به مساحت die برابر با  $91mm^2$  و شامل  $3/3$  میلیون ترانزیستور و چگالی نقص در واحد سانتی متر مربع برابر با ۱ است. درصد بارآوری این ویفر را حساب کنید. ( $\alpha = 2$ )

۰۱ . ۸۳٪      ۰۲ . ۴۷٪      ۰۳ . ۹۱٪      ۰۴ . ۲۹٪

۹- کدام درست است؟

۰۱. یک تماس می تواند برای اتصال نفوذ n و نفوذ p به کار رود.

۰۲. یک Via می تواند برای اتصال پلی و فلز ۲ بکار رود.

۰۳. یک تماس می تواند برای اتصال نفوذ و فلز ۱ استفاده شود.

۰۴. ترانزیستورهای nMOS باید در یک زیرلایه-p یا چاه p قرار گیرند که آن نیز به  $V_{DD}$  اتصال پیدا می کند

۱۰- معمولاً لازم است فواصل بین نماها در فاصله می نیممی قرار گیرند تا از مشکل ..... پیشگیری شود.

۰۱. اتصال کوتاه      ۰۲. اتصال باز      ۰۳. اتلاف توان      ۰۴. تأخیر زمان بندی

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

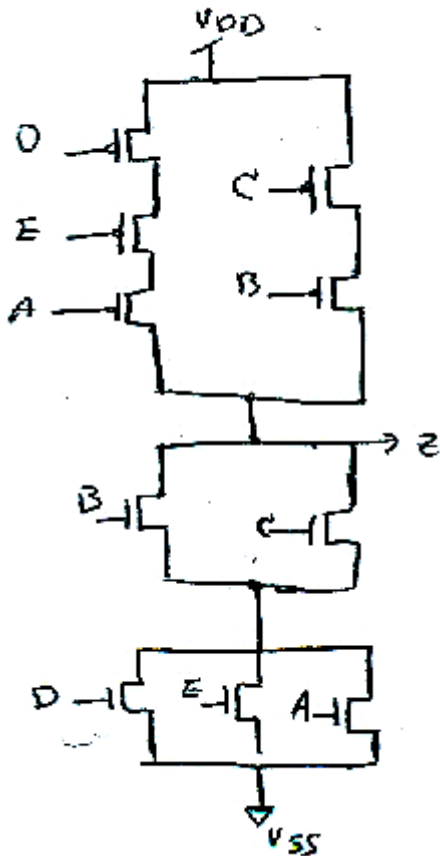
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: ۱ یک

درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۵۲۰۵

۱۱- تابع منطقی مدار زیر کدام است؟



۲.  $DEA+BC$

۱.  $ABCDE$

۴.  $(D+E+A).(B+C)$

۳.  $A+B+C+D+E$

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: ۱ یک

درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۵۲۰۵

۱۲- برای پیاده سازی نقشه کارنوی زیر، حداقل به چند ترانزیستور در شبکه پایین بر نیاز داریم؟

	A	0	1
B	0	0	1
C	0	1	0
	1	0	0
	1	0	0

۵.۴

۱۶.۳

۸.۲

۹.۱

۱۳- در گیت CMOS، کاهش طول کانال MOSFET های p و n با ضریب یکسان کاهش در هر دو ترانزیستور، بر حاشیه نویز چه تأثیری دارد؟

۲. حاشیه نویز کاهش پیدا میکند.

۱. حاشیه نویز افزایش پیدا میکند.

۴. حاشیه نویز ثابت باقی میماند.

۳. حاشیه نویز از طول کانال مستقل میباشد.

۱۴- در یک وارونگر CMOS  $V_{dd} = 3.3V$  و  $w_p = 6.4 \mu m$  و  $w_n = 1.6 \mu m$  میباشد کدام جواب به طور تقریبی درست است؟  $V_{INV}$  ولتاژ آستانه ورودی وارونگر است.

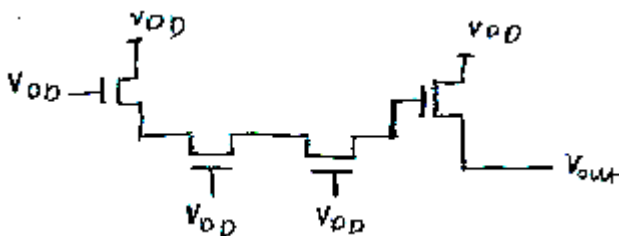
۴.  $V_{INV} = 0.8V$

۳.  $V_{INV} > 1.65V$

۲.  $V_{INV} = 1.65V$

۱.  $V_{INV} < 1.65V$

۱۵- در شکل زیر ولتاژ خروجی برابر چیست؟



۴.  $V_{OD} - 4V_t$

۳.  $V_{OD} - 2V_t$

۲.  $V_{OD} - 3V_t$

۱.  $V_{OD} - V_t$

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

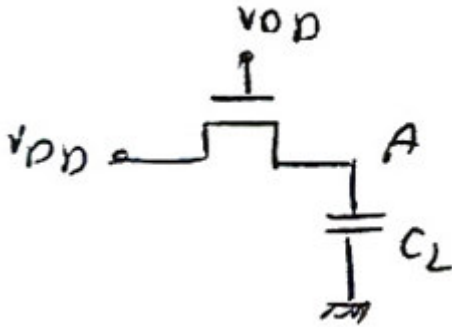
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: ۱ یک

درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۲۰۵

۱۶- در شکل روبرو  $I_{DS}$  گذرنده از ترانزیستور در حالت پایدار چیست؟



۰.۲ mA

۰.۱ (صفر)

۰.۴ به ولتاژ A بستگی دارد

۰.۳ ۱.۲۶mA

۱۷- ولتاژ آستانه وارونگر جایی است که در منحنی VTC آن  $V_{in} = V_{out}$  می باشد فرض کنید وارونگری دارای ولتاژ آستانه

۱.۶V باشد چنانچه پهنای کانال p بالابر این وارونگر را دو برابر سازیم آستانه سوئیچینگ جدید چه خواهد شد؟

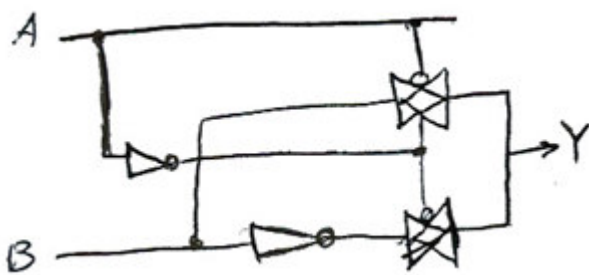
۰.۲ 1.6V

۰.۱ کوچکتر از 1.6V

۰.۴ با این داده ها نمیتوان حساب کرد

۰.۳ بزرگتر از 1.6V

۱۸- مدار زیر، چه منطقی را پیاده سازی می کند؟



۰.۴ OR

۰.۳ NOR

۰.۲ NAND

۰.۱ XOR

۱۹- کدام قانون طراحی توصیف کننده حداقل طول کانال ترانزیستور است؟

۰.۴ طول سیم فلزی

۰.۳ طول ناحیه نفوذ

۰.۲ طول پلی سیلیکون

۰.۱ پهنای پلی سیلیکون

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: ۱ یک

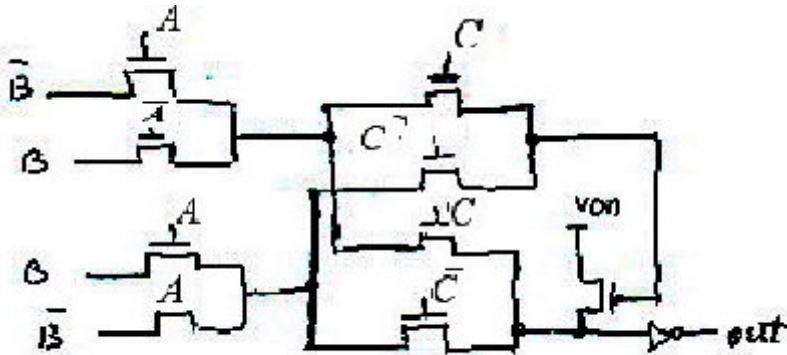
درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۵۲۰۵

۲۰- کدام درست است؟

۱. ترانزیستور با پهنای بیشتر قابلیت جریاندی کمتری دارد.
۲. ترانزیستور بهتر در گیت خویش ظرفیت خازن کمتر دارد.
۳. ترانزیستور بهتر مقاومت بیشتری را در مدل ترانزیستوری از خویش نشان می‌دهد.
۴. منظور از ترانزیستور ضعیف یعنی آن که مینیمم اندازه ممکن برای آن در نظر گرفته شده است.

۲۱- تابع خروجی زیر چیست؟



$$out = A.B + A.C + B.C \quad .2$$

$$out = A.B.C + \bar{B}.\bar{C} + \bar{A}.\bar{C} \quad .1$$

$$out = A.B.C + \bar{A}.\bar{B}.C + \bar{A}.\bar{C} \quad .4$$

$$out = A \oplus B \oplus C \quad .3$$

۲۲- اگر بخواهیم تأخیر انتشار وارونگر به ازای بار  $0.05 pF$  از  $60 ps$  تجاوز نکند،  $w_n$  و  $w_p$  چقدر باید باشند؟

$$w_n = 3.95 \mu m \quad , \quad w_p = 9.87 \mu m \quad .1$$

$$w_n = 3.95 \mu m \quad , \quad w_p = 11.8 \mu m \quad .2$$

$$w_n = 3.22 \mu m \quad , \quad w_p = 11.8 \mu m \quad .3$$

$$w_n = 3 \mu m \quad , \quad w_p = 11 \mu m \quad .4$$

۲۳- یک گیت انتقالی CMOS با  $k'(w/L) = 100 \mu A/V^2$  و  $|V_{TH}| = 1v$  و سیگنالهای کنترلی  $\pm 5v$  کار می‌کند،

سیگنال ورودی در محدوده صفر تا پنج ولت تغییر میکند مقاومت سوئیچ به ازاء مقادیر حدی چقدر است؟

$$3.33 k\Omega \quad .4$$

$$25 k\Omega \quad .3$$

$$1.25 k\Omega \quad .2$$

$$333 k\Omega \quad .1$$

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: ۱ یک

درس: طراحی سیستمهای VLSI

رشته تحصیلی/گد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۵۲۰۵

۲۴- کدام گزینه در مورد گیت وارونگر BiCMOS صحیح نمی باشد؟

۱. قابلیت جریاندهی ترانزیستورهای دو قطبی خروجی بالا می باشد.
۲. توان ایستای مصرفی آن ناچیز می باشد.
۳. امپدانس ورودی پایین می باشد.
۴. فرایند ساخت آن بسیار پیچیده می باشد.

۲۵- کدام گزینه در مورد ترانزیستورهای nMOS و pMOS صحیح می باشد؟

۱. ترانزیستور nMOS صفر را به خوبی عبور نمی دهد اما یک را به خوبی عبور میدهد.
۲. ترانزیستور pMOS صفر را به خوبی عبور میدهد اما یک را به خوبی عبور نمیدهد
۳. ترانزیستور nMOS صفر را به خوبی عبور میدهد اما یک را به خوبی عبور نمیدهد.
۴. هر دو مانند هم هستند و هیچ تفاوتی با هم ندارند.

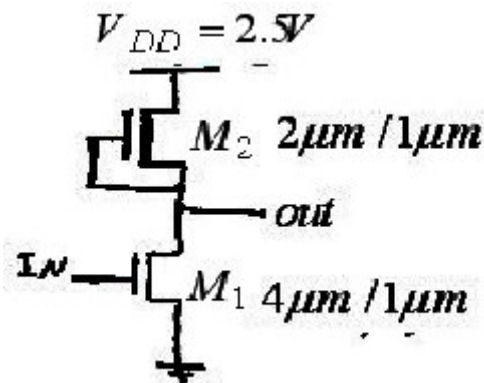
### سوالات تشریحی

۱.۴ نمره

۱- تابع منطقی  $F = \overline{A.B + C}$  را در منطق CMOS پیاده سازی کنید و عملکرد هر ترانزیستور را در این ساختار مشخص نمایید.

۱.۴ نمره

۲- مدار شکل زیر را در نظر بگیرید، فرض کنید ورودی IN دارای تغییرات ولتاژ صفر تا  $5/2$  (دوونیم) ولت باشد.



الف) چنانچه  $V_{IN} = 0V$  ولتاژ باشد خروجی چیست؟ در حالت پایدار، ناحیه عملیاتی ترانزیستور M2 برای چنین ورودی چیست؟

ب) ولتاژ خروجی را برای  $V_{IN} = 2.5V$  محاسبه کنید،  $V_{out}$  را کوچک فرض کنید. برای این ورودی، در

حالت پایدار ناحیه عملیاتی M2 چیست؟  $V_{TH,n1} = 0.4V$  و  $V_{TH,n2} = -0.7V$



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

سری سوال: ۱ یک

درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۵۲۰۵

۱.۴ نمره

۳- برای یک ترانزیستور pMOS افزایشی داریم:

$$V_{TH} = -1.5v, \mu_p C_{OX} \frac{W}{L} = 80 \mu \frac{A}{V^2} \text{ و } \lambda = 0.02 V^{-1}$$

گیت به زمین و سورس به  $+5V$  متصل شده است جریان درین را به ازاء مقادیر زیر بیابید.

$$V_D = 0V \quad (\text{ب}) \quad V_D = +4V \quad (\text{الف})$$

۱.۴ نمره

۴- ویژگیهای اساسی فناوری CMOS را نام برده و چهار فناوری اصلی CMOS را نام ببرید.

۱.۴ نمره

۵- وارونگری با مشخصات زیر در نظر بگیرید: (وارونگر با بار مقاومتی)

$$V_{DD} = 5V, K'_n = 30 \mu \frac{A}{V^2}, V_{TH,n} = 1V$$

نسبت  $\frac{w}{L}$  ترانزیستور درایور و مقدار مقاومت بار RL را طوری تعیین کنید که  $V_{OL} = 0.2v$  باشد.