



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

استفاده از ماشین حساب مهندسی مجاز است

۱- برای مقایسه خانواده‌های منطقی از چه پارامتری استفاده می‌شود؟

۴.  $P_D / t_P$

۳.  $P_D \cdot t_P$

۲.  $P_D$

۱.  $t_P$

۲- مهمترین و رایج ترین تکنولوژی موجود در دنیای دیجیتال که بیشترین میزان استفاده را دارد کدام تکنولوژی است؟

۴. BICMOS

۳. CMOS

۲. NMOS

۱. MOSFET

۳- کدام گزینه نادرست است؟

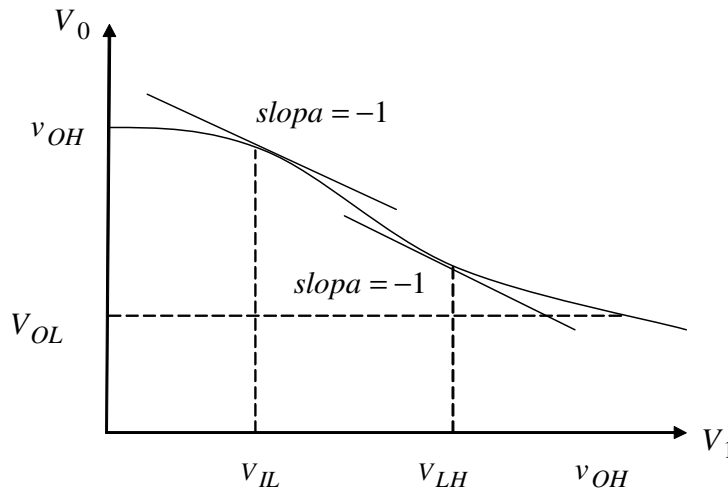
۱. اگر سطح ولتاژ بالا را برای منطق صفر و سطح ولتاژ پایین را برای منطق یک استفاده کنیم اصطلاحاً گفته می‌شود که در منطق منفی کار می‌کنیم.

۲. خانواده منطقی BJT شامل TTL و ECL است.

۳. خانواده منطقی BICMOS شامل ترکیبی از NMOS و BJT است.

۴. مزیت تکنولوژی گالیوم آرسناید (Ga As) نسبت به تکنولوژی‌های دیگر سرعت بالاتر آن است.

۴- مشخصه انتقالی معکوس کننده‌ای به همراه نقاط بحرانی در شکل زیر نشان داده شده است. کدام گزینه درست است؟



۱. ناحیه  $V_1 < V_{IL}$  ناحیه ورودی - پایین و ناحیه  $V_{IL} \leq V_1 \leq V_{IH}$  ناحیه گذرا نامیده می‌شود.

۲.  $V_{OL}$  مینیمم ولتاژ ورودی است که گیت آن را به صورت منطق صفر در نظر می‌گیرد.

۳.  $V_{IH}$  ماکزیمم ولتاژ ورودی است که گیت آن را به صورت منطق یک در نظر می‌گیرد.

۴.  $NM_H = V_{OH} - V_{OL}$  و  $NM_L = V_{IL} - V_{OL}$



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۵- مقدار جریان خروجی گیت تحریک کننده در حالت بالا  $71.4\text{mA}$ ، مقدار جریان خروجی گیت تحریک کننده در حالت پایین  $54.3\text{mA}$ ، مقدار جریان ورودی گیت تحریک شونده در حالت بالا  $98.9\mu\text{A}$  و مقدار جریان ورودی گیت تحریک شونده در حالت پایین  $2.43\text{mA}$  می باشد. ظرفیت خروجی این گیت چقدر است؟

۱. ۲۲      ۲. ۲۲۰      ۳. ۲۱      ۴. ۲۱۰

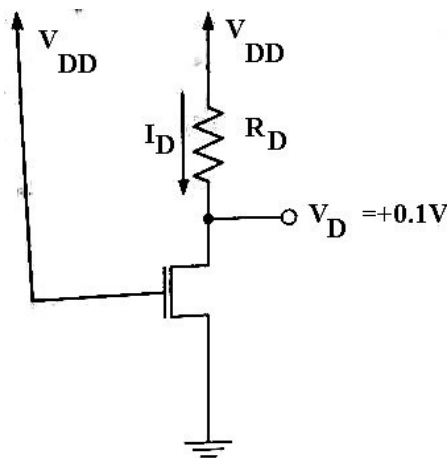
۶- کدام گزینه درست است؟

۱. ماده p ماده نیمه رسانایی است که تحت تزریق ناخالصی از یک ماده دهنده الکترون ایجاد می شود.
۲. در یک ماده از نوع n، الکترون ها به عنوان حامل های اقلیت و حفره ها به عنوان حامل های اکثریت هستند.
۳. اگر یک ولتاژ مثبت به آند دیود اعمال شود در این صورت عرض ناحیه تخلیه افزایش می یابد و دیود در بایاس مستقیم قرار می گیرد.
۴. هنگامی که دیود در بایاس معکوس قرار می گیرد جریان های نشتی که به وسیله حامل های اقلیت ایجاد می شود به جریان های پخشی غلبه می کنند.

۷- برای یک دیود پیوندی PN در حالت بایاس مستقیم  $V_D=0.7\text{ Volt}$  و  $I_S=10^{-14}\text{ A}$  می باشد. جریان دیود را در دمای اتاق ( $27^\circ\text{C}$ ) چقدر می شود؟ ( $\phi_T = 25\text{mV}$ )

۱.  $I_D=790\text{mA}$       ۲.  $I_D=14.5\text{mA}$       ۳.  $I_D=4.85\text{mA}$       ۴.  $I_D=145\text{mA}$

۸- در مدار داده شده ولتاژ درین  $0.1\text{ Volt}$  است. مقاومت بین درین و سورس در نقطه کار چقدر است؟ فرض کنید  $V_i=1\text{ volt}$  و  $K_n=0.5\text{mA/V}^2$  و  $V_{DD}=5\text{ Volt}$



۱.  $r_{ds}=215\Omega$       ۲.  $r_{ds}=235\Omega$       ۳.  $r_{ds}=75\Omega$       ۴.  $r_{ds}=506\Omega$



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۹- کدام گزینه صحیح است؟

۱. رابطه جریان ترانزیستورهای MOSFET در ناحیه اشباع  $I_D = k[(V_{GS} - V_t)V_{DS} - V_{DS}^2/2]$  می باشد.
۲. برای کار در ناحیه اشباع ترانزیستورهای MOSFET کانال P باید  $V_{DS} \geq V_{GS} - V_t$  باشد.
۳. برای کار در ناحیه تریودی ترانزیستورهای MOSFET کانال N باید  $V_{DS} \geq V_{GS} - V_t$  باشد.
۴.  $V_t$  برای NMOS افزایشی مثبت می باشد.

۱۰- کدام گزینه برای یک ترانزیستور NMOS صحیح است؟

۱. افزایش دما، کاهش جریان درین را سبب می شود.
۲. هنگامی که ولتاژ گیت-سورس از حدود ۵۰ ولت بیشتر شود، زیر لایه دچار شکست بهمنی می شود.
۳. جریان در ناحیه اشباع ثابت نمی باشد.
۴. برای کار در ناحیه اشباع، باید  $V_{DS} \leq V_{GS} - V_t$  باشد.

۱۱- اگر برای گیت NAND که با منطق RTL پیاده سازی شده است  $V_{CE(sat)} = 0.17 \text{ Volt}$  و  $V_{BE(FA)} = 0.7 \text{ Volt}$  باشد حداکثر تعداد ورودی های مجاز گیت چقدر می شود؟

۱. ۶      ۲. ۵      ۳. ۳      ۴. ۴

۱۲- ماکزیمم ظرفیت خروجی برای یک گیت RTL با  $V_{CC} = 5 \text{ Volt}$  و  $R_C = 1 \text{ K}$  و  $R_B = 10 \text{ K}$  چقدر است؟  
( $V_{BE(sat)} = V_{BE(FA)} = 0.8 \text{ V}$ ,  $V_{CE(sat)} = 0.2 \text{ V}$ ,  $\beta_F = 25$ )

۱. ۱۰      ۲. ۱۲      ۳. ۸      ۴. ۶

۱۳- توان مصرفی در یک گیت RTL پایه در حالت بدون بار چقدر است؟ فرض کنید:

 $V_{BE(sat)} = 0.8 \text{ Volt}$  و  $V_{CE(sat)} = 0.2 \text{ Volt}$ ,  $\beta_F = 25$ ,  $R_B = 10 \text{ K}$ ,  $R_C = 1 \text{ K}$ ,  $V_{CC} = 5 \text{ Volt}$ 

۱. 12mW      ۲. 10mW      ۳. 24mW      ۴. 30mW

۱۴- توان مصرفی در یک گیت RTL پایه در حالتی که یک بار به خروجی آن وصل شده باشد چقدر است؟

فرض کنید  $V_{BE(sat)} = 0.8 \text{ Volt}$  و  $V_{CE(sat)} = 0.2 \text{ Volt}$ ,  $\beta_F = 25$ ,  $R_B = 10 \text{ K}$ ,  $R_C = 1 \text{ K}$ ,  $V_{CC} = 5 \text{ Volt}$ .

۱. 12.96mW      ۲. 11.94mW      ۳. 10mW      ۴. 14.22mW



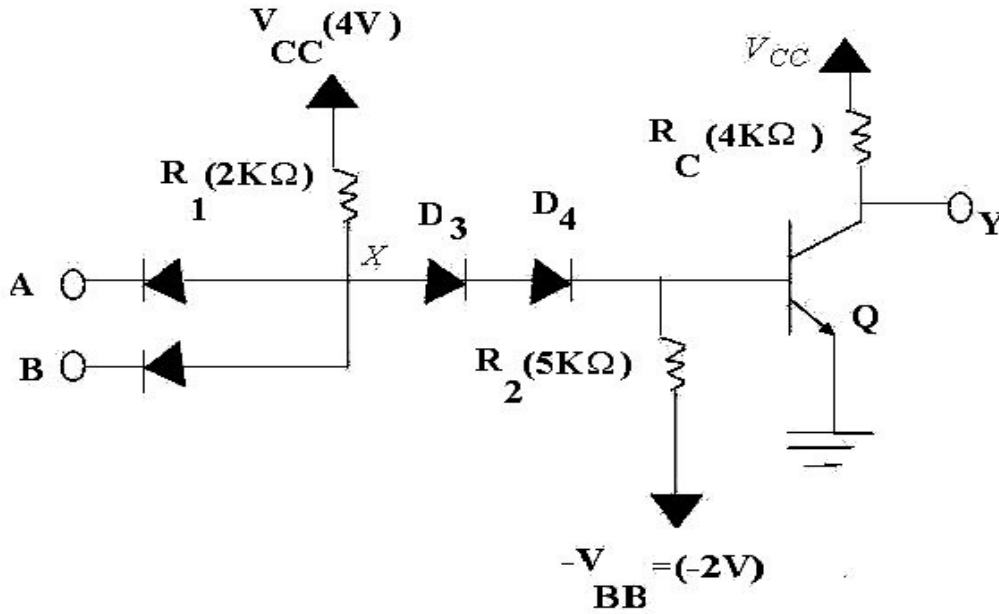
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۱۵- اگر در NAND دو ورودی نوع DTL هر دو ورودی در سطح بالا باشند، جریان بیس ترانزیستور Q چقدر است؟



۰.۳۱mA .۴

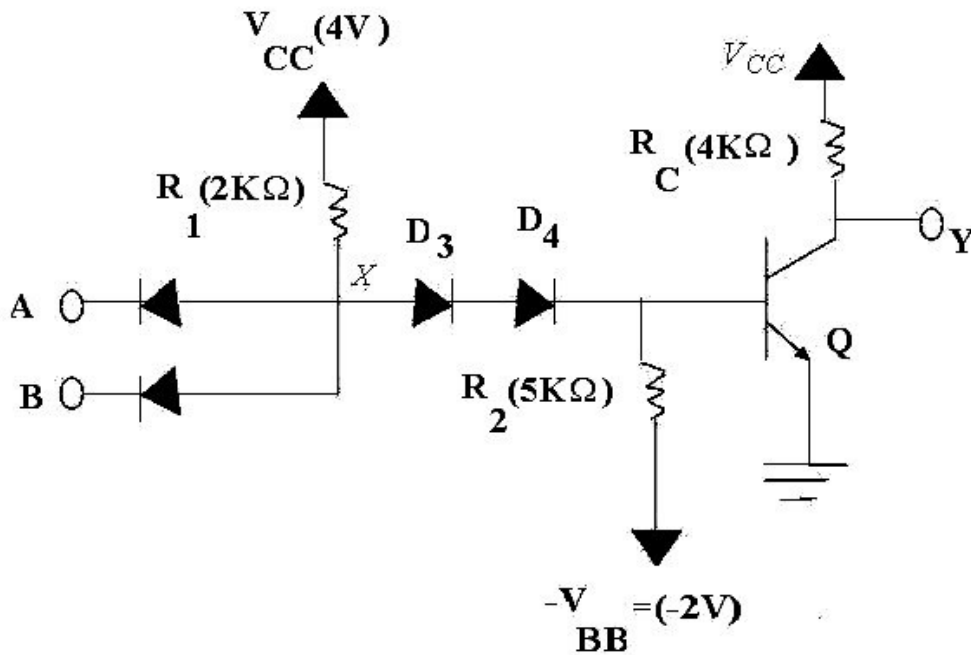
۰.۶mA .۳

۰.۴۱mA .۲

۰.۲۱mA .۱

۱۶- اگر در NAND دو ورودی نوع DTL (شکل زیر) هر دو ورودی در سطح بالا باشند،  $\beta$  ترانزیستور Q چقدر است؟

( $V_{CE(sat)} = 0.2V$ )



۱/۵ .۴

۲/۳ .۳

۳ .۲

۱/۷ .۱



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۱۷- حاشیه های امنیت نویز در TTL استاندارد با مقادیر داده شده زیر چقدر است؟

$V_{IH}=2 \text{ Volt}$ ,  $V_{IL}=0.8 \text{ Volt}$ ,  $V_{OH}=2.4 \text{ Volt}$ ,  $V_{OL}=0.4 \text{ Volt}$ .

۲.  $NM_H=0.4 \text{ Volt}$ ,  $NM_L=1.6 \text{ Volt}$

۱.  $NM_H=0.4 \text{ Volt}$ ,  $NM_L=0.4 \text{ Volt}$

۴.  $NM_H=1.6 \text{ Volt}$ ,  $NM_L=1.6 \text{ Volt}$

۳.  $NM_H=1.6 \text{ Volt}$ ,  $NM_L=0.4 \text{ Volt}$

۱۸- کدام گزینه صحیح می باشد؟

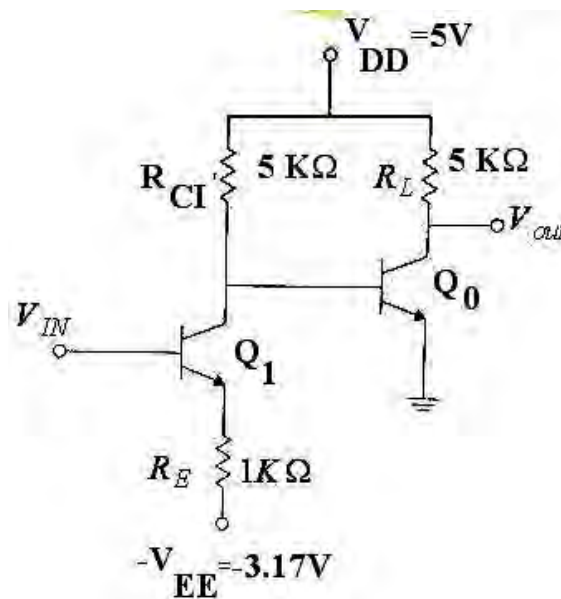
۱. منطق ترانزیستور- ترانزیستور (TTL) از منطق دیود- ترانزیستور (DTL) تحول یافته است.

۲. برای کاهش سرعت TTL از اشباع ترانزیستور ها جلوگیری می شود.

۳. سرعت خانواده ی مدار منطقی GaAs از منطق تزویج امیتری (ECL) کمتر است.

۴. طراحی گیت ECL چنان بهینه می شود که حاشیه های نویز بالا و پایین در آن متفاوت باشند.

۱۹- شکل داده شده کدام نوع مبدل را نشان می دهد؟



۲. مبدل ECL به CMOS

۱. مبدل CMOS به ECL

۴. مبدل MOS به TTL

۳. مبدل MOS به STTL



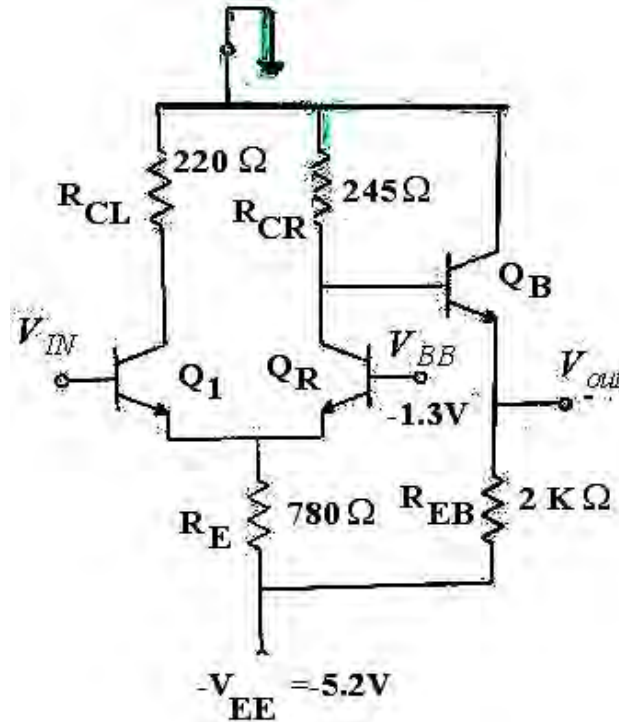
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۲۰- شکل داده شده کدام نوع مبدل را نشان می دهد؟



۰۲. مبدل ECL به CMOS

۰۱. مبدل CMOS به ECL

۰۴. مبدل DTL به CMOS

۰۳. مبدل ECL به STTL

۲۱- علت استفاده از طبقه توتم پل در گیت TTL چیست؟

۰۲. افزایش سرعت

۰۱. تغییر سطح ولتاژ

۰۴. جلوگیری از به اشباع رفتن ترانزیستورها

۰۳. تولید دو خروجی مکمل

۲۲- در ترانزیستور NMOS زیر لایه از نوع ..... و سورس و درین از نوع ..... می باشند.

۰۴. N, P

۰۳. P, P

۰۲. N, N

۰۱. P, N



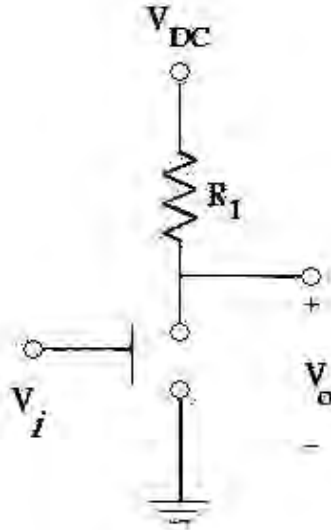
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۲۳- در مدار شکل زیر، در صورتی که  $V_{DC}=5.5, R_1=10K\Omega, R_{on}=1K\Omega$  که  $R_{on}$  مقاومت کلید در حالت وصل است) مقدار  $V_{OH}, V_{OL}$  کدام است؟



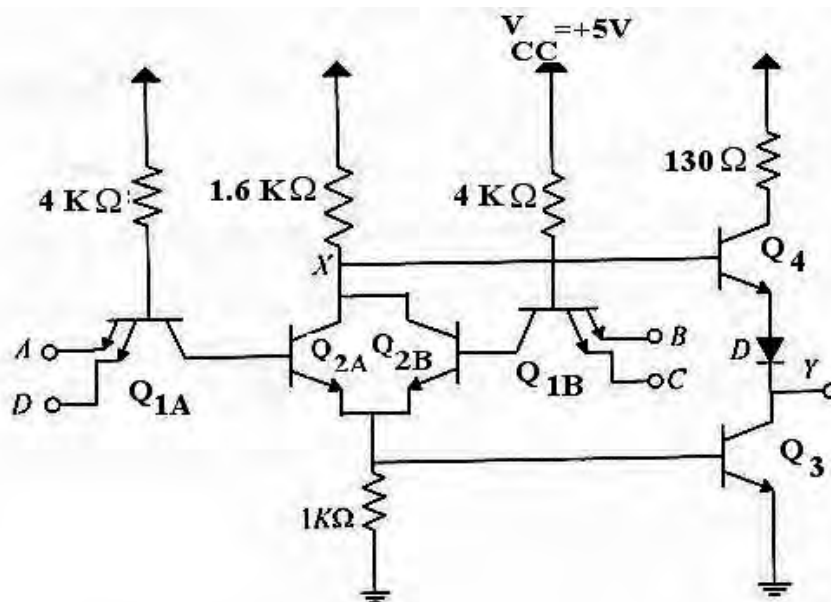
۲.  $V_{OH} = 5.5, V_{OL} = 0.5$

۱.  $V_{OH} = 5.5, V_{OL} = 0$

۴.  $V_{OH} = 5, V_{OL} = 0$

۳.  $V_{OH} = 5.5, V_{OL} = 5$

۲۴- شکل نشان داده شده کدام تابع را پیاده‌سازی می‌کند؟



۴.  $\overline{AD+BC}$

۳.  $\overline{AB+DC}$

۲.  $AD.BC$

۱.  $\overline{AD.BC}$



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: مبانی الکترونیک دیجیتال

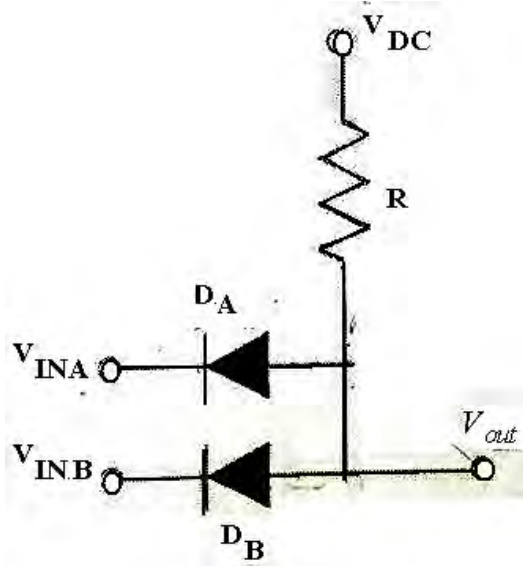
رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۲۵- کدام گزینه صحیح می باشد؟

۱. CMOS سریع تر از NMOS است و توان بیشتری را نسبت به آن مصرف می کند.
۲. تراشه های دیجیتال از نوع GaAs کمترین تاخیر انتشاری و IC های دیجیتال از نوع CMOS کمترین اتلاف توان را در بین سایر خانواده های منطقی دارا می باشند.
۳. در قسمت حافظه ی سیستم دیجیتال، ECL می تواند استفاده شود چون این خانواده بیشترین چگالی و کمترین مصرف توان را در بین خانواده های منطقی دارد.
۴. در قسمت هایی از سیستم دیجیتال که سرعت بالا مورد نیاز است می تواند از تکنولوژی CMOS استفاده شود.

### سوالات تشریحی

- ۱- برای گیت AND دو ورودی داده شده نشان دهید اگر  $V_{INA}$  به اندازه یک ولت از  $V_{INB}$  بیشتر باشد،  $V_{out}$  قطع خواهد بود.







زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

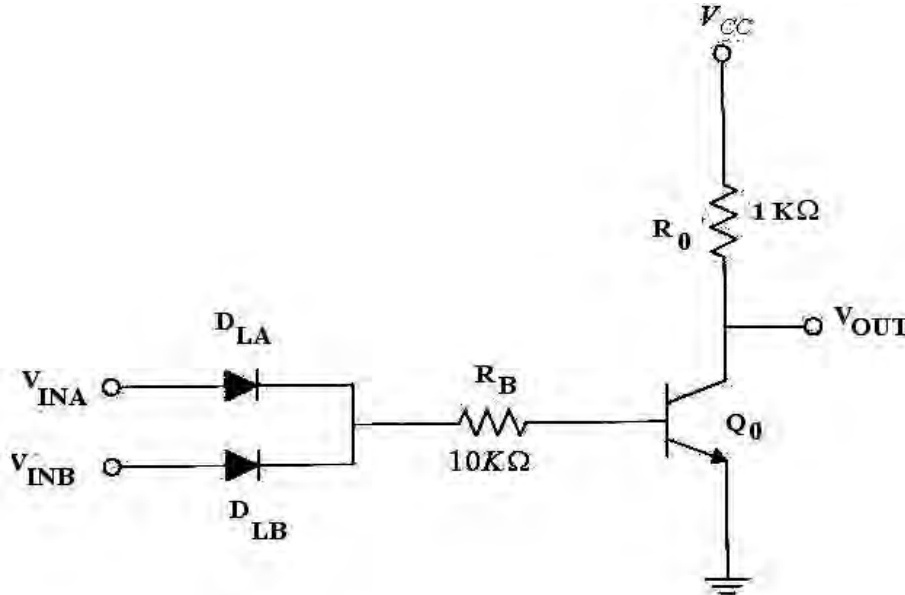
عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

نمره ۱.۳۵

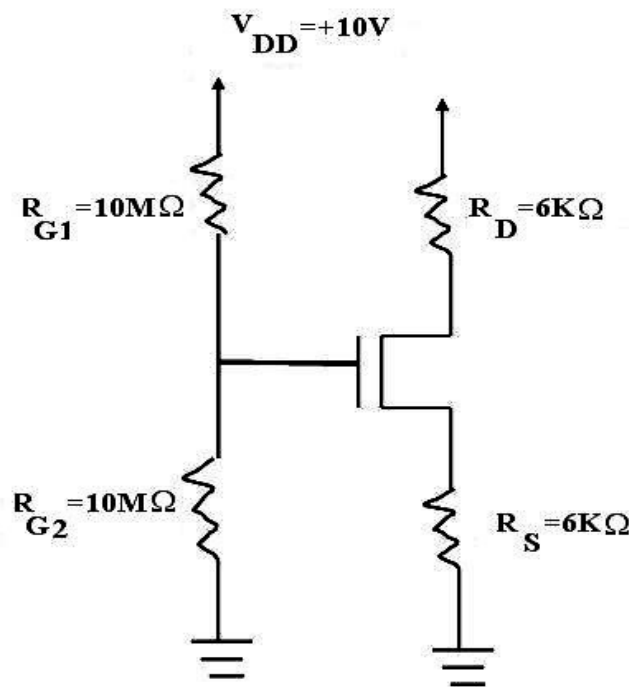
۲- با فرض  $V_{INA} = V_{INB}$  مشخصه ولتاژ گیت زیر را رسم کنید و حاشیه‌های نویز آن را به دست آورید.

$$V_{BE}(sat) = V_{BE}(FA) = 0.8v, V_{CE}(sat) = 0.2v, \beta_F = 25, V_D(on) = 0.7, V_{CC} = 5v$$



نمره ۱.۳۵

۳- ترانزیستور داده شده در چه ناحیه ای کار می کند؟ فرض کنید  $V_t = 1\text{volt}$  و  $K_n = 1\text{mA/V}^2$  و از اثر مدوله سازی طول کانال صرف نظر کنید.



نمره ۱.۳۵

۴- گیت OR دو ورودی دیودی را رسم کرده و مشخصه انتقالی ولتاژ آن را بدست آورید.



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

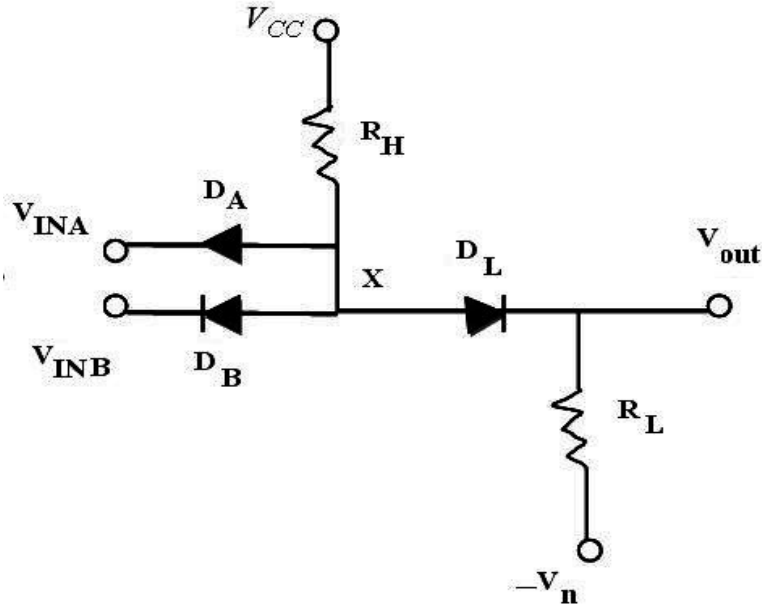
تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

نمره ۱.۳۳

۵- برای گیت AND با سطح منتقل شده ی داده شده ولتاژ خروجی min و max را پیدا کنید.  
فرض کنید  $R_L=2\text{ k}\Omega$  ،  $R_H=1\text{ K}\Omega$  ،  $V_{D(ON)}=0.7\text{ Volt}$  ،  $V_{EE}=V_{CC}=4\text{ Volt}$ .



مبانی الکترونیک دیجیتال ترم دوم ۹۱\_۹۰

ج	1
ج	2
ج	3
الف	4
الف	5
د	6
ب.ب	7
د	8
د	9
ج	10
د	11
ب.ب	12
الف	13
الف	14
ب.ب	15
ج	16
الف	17
الف	18
ب.ب	19
ج	20
ب.ب	21
د	22
ب.ب	23
د	24
ب.ب	25