

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۵۲۱۳

استفاده از ماشین حساب مهندسی مجاز است

۱- کدام گزینه بهترین روش در طرح های متوسط و پیچیده برای ساخت نمونه اولیه می باشد؟

- ۰۱. روش نیمه سفارشی
- ۰۲. استفاده از قطعات استاندارد
- ۰۳. استفاده از قطعات برنامه پذیر
- ۰۴. روش تمام سفارشی

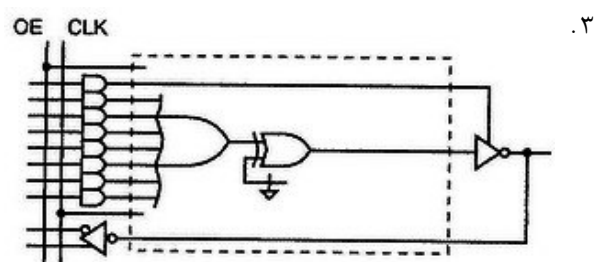
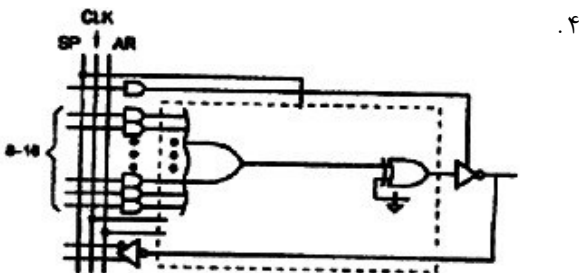
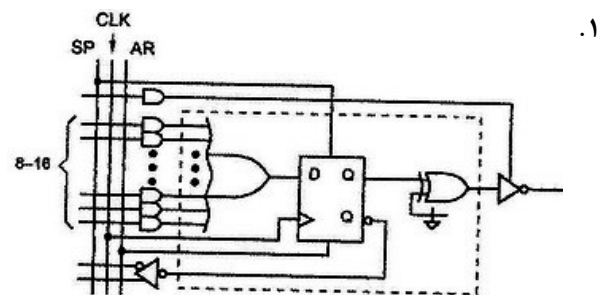
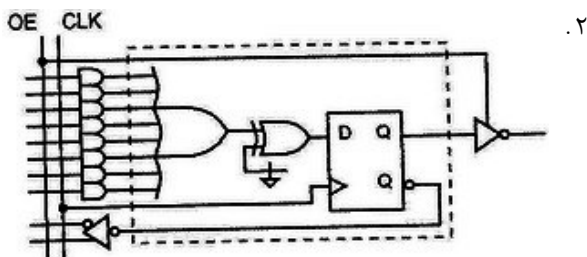
۲- کدام گزینه از مدارات برنامه پذیر نیست؟

- ۰۱. ROM
- ۰۲. PROM
- ۰۳. PLD
- ۰۴. FPGA

۳- کدام گزینه از PAL های ترتیبی تقلید می کند؟

- ۰۱. ۱۶V8C
- ۰۲. ۱۶V8S
- ۰۳. ۱۶V8R
- ۰۴. ۱۶V8S, 16V8R

۴- کدام گزینه مربوط به درشت سلول منطقی (ماکروسل) با خروجی ترکیبی مربوط به GAL22V10 است؟



۵- کدام گزینه از انواع FPGA بر اساس ساختار منابع اتصالی نیست؟

- ۰۱. با استفاده از آنتی فیوز
- ۰۲. با استفاده از فیوز
- ۰۳. با استفاده از دیود
- ۰۴. یک سری ترانزیستور که به وسیله EPROM کنترل می شود.



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۵۲۱۳

۶- کدام گزینه از کاربردهای FPGA است؟

مورد اول: جایگزینی تراشه های VLSI

مورد دوم: ساخت نمونه اولیه

مورد سوم: مدارات مجتمع با کاربرد خاص

مورد چهارم: سخت افزارهای قابل پیکربندی مجدد درجا

۰۱ همه موارد

۰۲ همه موارد بجز مورد اول

۰۳ همه موارد بجز مورد چهارم

۰۴ فقط مورد اول و چهارم

۷- کدام گزینه جمله زیر را به طور صحیح کامل می کند؟

یک ..... از تعداد زیادی ..... تشکیل شده است و مولد های تابع منطقی مهمترین عناصر برنامه ریزی ..... ها هستند.

۰۱ FPGA - CLB - CLB

۰۲ CLB - FPGA - CLB

۰۳ FPGA - FPGA - CLB

۰۴ FPGA - CLB - FPGA

۸- کدام گزینه بیان غلطی در مورد VHDL ارائه می کند؟

۰۱ توصیف جریان داده، بر اساس انتقال داده بین ثبات ها انجام می شود.

۰۲ VHDL می تواند دستورات ترتیبی را به ترتیب نوشتن آنها اجرا کند.

۰۳ VHDL امکان توصیف سیستم دیجیتال را در هر دو حوزه رفتاری و ساختاری ارائه می دهد.

۰۴ مدل ساختاری دو نوع است که عبارتند از: جریان داده والگوریتمی

۹- کدام بیان در مورد entity گزینه غلطی را بیان می کند؟

۰۱ تعریف entity با کلمه رزرو شده entity شروع می شود.

۰۲ بخش entity در VHDL شامل یک نام برای entity ولیست ورودی و خروجی ها است.

۰۳ ENTITY\_NAME\_OF: شناسه ای است که لازم است توسط کاربر انتخاب گردد.

۰۴ در entity از کلمه رزرو شده port برای مشخص کردن ارتباطات بین entity و دنیای خارج آن استفاده می شود.

۱۰- کدام از گزینه های زیر از مزایای استفاده از مدارات برنامه پذیر می باشد؟

۰۱ هزینه ساخت و نگهداری کمتر

۰۲ سهولت تست مدار

۰۳ استفاده مجدد از کتابخانه ها

۰۴ همه موارد



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۱۵۲۱۳

۱۱- شناسه غیر معتبر کدام گزینه است؟

۱. Gate-input      ۲. D10      ۳. f\_10      ۴. My\_gate1

۱۲- در مورد دستورات شرطی کدام گزینه غلط است؟

۱. دستور exit از روی باقیمانده دستورات loop پرش کرده و اجرای برنامه را از دستور بعد از loop ادامه می دهد.
۲. دستور Basic-Loop شرط تکرار ندارد، بطور پیوسته اجرا می شود تا به یک دستور exit یا next برسد.
۳. دستور While-Loop برای جاهائی که تعداد دفعات تکرار با یک integer شمارش می شود، بکار می رود.
۴. دستور next باقیمانده دستورات تکرار جاری حلقه را رها کرده و به تکرار بعدی حلقه می رود.

۱۳- کدام مورد جزو مدلسازی ساختاری می باشد؟

- مورد اول : سیگنال ها و مولفه ها در قسمت component تعریف می شوند.  
مورد دوم : اعلان لیستی شامل مولفه هائی که در مدار استفاده می شود.  
مورد سوم : معرفی سیگنال هائی که شبکه اتصالی بین مولفه ها را تشکیل می دهند.  
مورد چهارم : به هر نمونه از هر مولفه، یک برچسب یکتا تعلق گیرد.

۱. مورد اول
۲. همه موارد بجز مورد اول
۳. مورد سوم
۴. همه موارد بجز مورد سوم

۱۴- کدام گزینه عبارت زیر در مورد تاخیر در VHDL را به طور صحیح کامل می کند؟

..... برای مدل کردن تاخیر خطوط سیمی در بردها و المانهای تاخیر در مدارات و تاخیر مسیر سیگنالها در داخل ICها استفاده می شود.

۱. تاخیر ترکیبی
۲. تاخیر لختی
۳. تاخیر سیگنالینگ
۴. تاخیر انتقال

۱۵- گزینه غلط را مشخص کنید.

۱. در خواندن فایل برای تشخیص اینکه آخرین عنصر فایل خوانده شده یا خیر، می توان از finish file استفاده نمود.
۲. یک فایل در زبان VHDL یک کلاس از شیء است که برای ذخیره داده ها استفاده می شود.
۳. پروسیجر شامل یک سری دستورات برای انجام یک کار است .
۴. تابع (فانکشن) شامل یک سری از دستورات جهت محاسبه یک مقدار است.



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۱۵۲۱۳

۱۶- قطعه برنامه زیر مربوط به کدام گزینه است؟

```
entity xxxxxxxx is
port( x: in std_logic;
      y: in std_logic;
      F: out std_logic
      );
end xxxxxxxx ;

-----

architecture behv1 of xxxxxxxx is
begin
  process(x, y)
  begin
    -- compare to truth table
    if (x='0' and y='0') then
      F <= '1';
    else
      F <= '0';
    end if;
  end process;
end behv1;

-----
```

۱. NAND دو ورودی      ۲. NOR دو ورودی      ۳. OR دو ورودی      ۴. AND دو ورودی

۱۷- کدام گزینه جمله زیر را به طور صحیح کامل می کند؟

در توصیف طرح به زبان VHDL بخش ----- برای تعریف درگاه های ورودی خروجی مدار استفاده می شود.

۱. entity      ۲. architecture      ۳. process      ۴. inout



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۱۵۲۱۳

۱۸- قطعه برنامه زیر مربوط به کدام گزینه است؟

```
entity q is
  Prot(data _ in: in std_logic
        clock: in std_logic;
        data _ out: out std_logic;
  end q;

architecture behave of q is
  Begin
    Process (data _ in, clock)
    Begin
      If (clock='1' and clock'event) then
        data _ out <= data _ in;
      end if;

    End process
  End behv;
```

۴. فلیپ فلاپ D

۳. بافر

۲. معکوس کننده (NOT)

۱. مالتی پلکسر



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۱۵۲۱۳

۱۹- قطعه برنامه زیر مربوط به کدام گزینه است؟

```
entity xxxxxxxx is
port( num1, num2: in std_logic_vector(1 downto 0);
      product: out std_logic_vector(3 downto 0));
end xxxxxxxx ;

-----
architecture behv of xxxxxxxx is
begin
process(num1, num2)
variable num1_reg: std_logic_vector(2 downto 0);
variable product_reg: std_logic_vector(5 downto 0);
begin
num1_reg := '0' & num1;
product_reg := "0000" & num2;
--use variables doing computation
--algorithm is to repeat shifting/adding
for i in 1 to 3 loop
if product_reg(0)='1' then
product_reg(5 downto 3) := product_reg(5 downto 3)
+ num1_reg(2 downto 0)
end if;
product_reg(5 downto 0) := '0' & product_reg(5 downto 1)
end loop;
--assign the result of computation back to output signal
product <= product_reg(3 downto 0);
end process;
end behv;
-----
```

۰۲. مالتی پلکسر ۴ به ۱

۰۱. دی مالتی پلکسر ۱ به ۴

۰۴. شیفت رجیستر ۴ بیتی

۰۳. ضرب کننده دو بیتی



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۵۲۱۳

۲۰- قطعه برنامه زیر بیانگر کدام گزینه است؟

ARCHITECTURE p IS

TYPE vector\_array IS ARRAY (0 TO words-1) OF STD\_LOGIC\_VECTOR (bits-1

DOWNTO 0);

CONSTANT memory: vector\_array := ("10000000",

"01000000",

"00100000",

"00010000",

"00001000",

"00000100",

"00000010",

"00000001",

"10000000");

BEGIN

Process (Enable, Read, Addr)

Begin

If Enable = '1' then

if ( Read = '1' ) then

Data <= memory ( addr ) ;

else Data <= "ZZZZZZZZ" ;

end if ;

else Data <= "ZZZZZZZZ" ;

end if ;

end process ;

end ;

۲. حافظه فقط خواندنی (ROM)

۱. مالتی پلکسر ۸ به ۱

۴. دیکدر ۳ به ۸

۳. دی مالتی پلکسر ۱ به ۸

۲۱- در کدام یک از حالات زیر هر یک از مولد های تابع F و G به عنوان یک SRAM با خطوط آدرس مستقل و ورودی write- data مستقل مشترک استفاده می شوند؟

۲. یک SRAM دو درگاه 1\*16

۱. دو تا SRAM با ظرفیت 1\*16

۴. سنکرون یا آسنکرون

۳. یک SRAM با ظرفیت 1\*32



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۱۵۲۱۳

۲۲- قطعه برنامه زیر بیانگر کدام گزینه می باشد؟

```
entity == is
port( ==in:      in std_logic_vector(15 downto 0);
      ==ld:      in std_logic;
      dir_addr:  out std_logic_vector(15 downto 0);
      ==out:     out std_logic_vector(15 downto 0)
    );
end == ;

-----
architecture behv of == is
begin
  process(==ld, ==in)
  begin
    if ==ld = '1' then
      ==out <= ==in;
      dir_addr <= "00000000" & ==in(7 downto 0);
    end if;
  end process;
end behv;
-----
```

۱. ثبات دستورالعمل ۰۱      ۲. شمارنده برنامه ۰۲      ۳. انتخاب کننده ۰۳      ۴. بافر خروجی ۰۴

۲۳- کدام گزینه در نرم افزار MAX+PLUSII امکان وارد کردن طرح از طریق نمودار زمانی و همچنین وارد کردن بردارهای تست و مشاهده نتایج شبیه سازی را فراهم می کند؟

۱. ویرایشگر گرافیکی ۰۱      ۲. ویرایشگر شکل موج ۰۲      ۳. ویرایشگر پایه ها ۰۳      ۴. ویرایشگر سمبل ۰۴

۲۴- کدام گزینه مسیر مربوط به تنظیم اختیارات بهینه سازی در نرم افزار MAX+PLUSII را ارائه می کند؟

۱. Option>Grid size ۰۱      ۲. Assign >Device ۰۲      ۳. MAX+PLUSII>Compiler ۰۳      ۴. Assign >Global Project Logic Synthesis ۰۴

۲۵- کدام گزینه باعث بروز خطا در VHDL می باشد؟

۱. نام پورت متفاوت از نام Entity انتخاب شود. ۰۱      ۲. نام فایل (دقیقاً) بانام Entity مطابقت داشته باشد. ۰۲      ۳. فایل با پسوند پیش فرض (غیر VHD) ذخیره شود. ۰۳      ۴. نام فایل از حروف کوچک انتخاب شود. ۰۴

### سوالات تشریحی

۱.۴۰ نمره

۱- در مورد مقایسه FPGA و CPLD چهار مورد را به اختصار توضیح دهید.



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۱۵۲۱۳

نمره ۰.۹۳

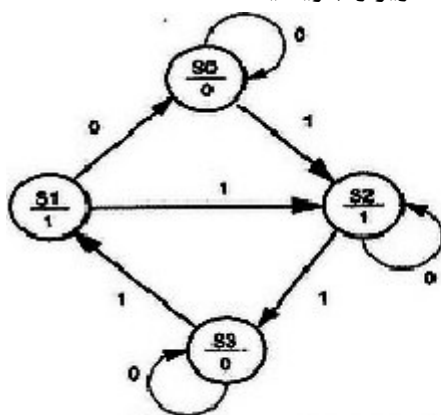
۲- با توجه به دستور Case قسمت architecture مربوط به بررسی مقدار سیگنالی با نام GRADES را بنویسید که اگر مقدار GRADES بین ۵۱ تا ۶۰ باشد خروجی D، اگر مقدار GRADES بین ۶۱ تا ۷۵ باشد خروجی C، اگر مقدار GRADES بین ۷۶ تا ۸۵ باشد خروجی B، اگر مقدار GRADES بین ۸۶ تا ۱۰۰ باشد خروجی A یک شود. در غیر این صورت خروجی F مقدار یک می گیرد.

نمره ۱.۸۷

۳- قسمت architecture مربوط به خواندن محتوای ROM از فایل را بنویسید.

نمره ۱.۴۰

۴- توصیف رفتاری ماشینی با جدول و نمودار حالت به صورت زیر را بنویسید.



حالت فعلی	حالت بعدی		خروجی z
	X=0	X=1	
S0	S0	S2	0
S1	S0	S2	1
S2	S2	S3	1
S3	S3	S1	0

شکل ۵-۱) جدول و نمودار حالت ماشین مور

نمره ۱.۴۰

۵- در مورد مقایسه آرایه های منطقی قابل برنامه ریزی (PLA) با منطق آرایه ای قابل برنامه ریزی (PAL)، توضیح داده و همچنین دو نوع منطق آرایه ای قابل برنامه ریزی (PAL) را فقط نام ببرید.