



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۴ تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI

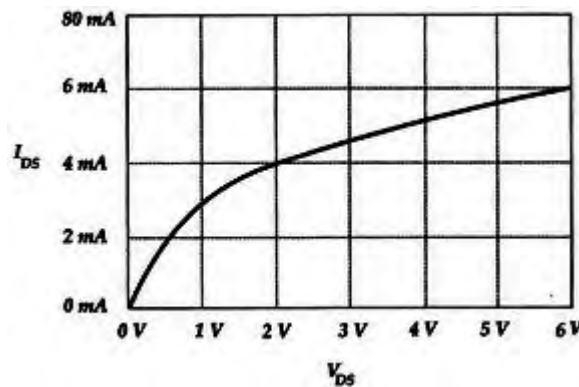
رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۲۰۵

استفاده از ماشین حساب ساده، ماشین حساب مهندسی مجاز است

۱- تعداد die در ویفری به قطر 16cm با فرض آنکه اندازه die برابر $70mm^2$ باشد، کدام است؟ ($\pi = 3$)

۱. 158 ۲. 196 ۳. 234 ۴. 275

۲- منحنی I/V برای یک ترانزیستور در شکل زیر نشان داده شده است. ضریب مدولاسیون طول کانال برای این ترانزیستور کدام است؟

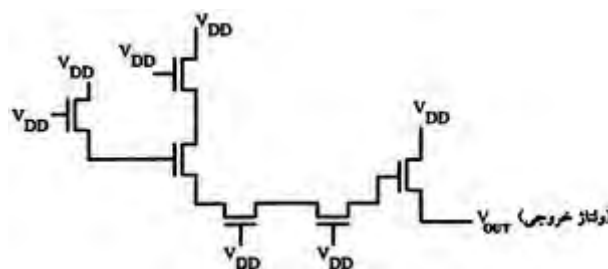


۱. 1.33 ۲. 0.66 ۳. 0.33 ۴. 0.167

۳- برای ساخت خازنی از فناوری CMOS استفاده شده است. بدین منظور، سطوح فلزی گیت و زیر لایه به عنوان صفحات خازن به کار می‌روند. اگر ضخامت اکسید بین 20nm تا 100nm باشد و صفحات خازن مربعی باشند و بخواهیم ظرفیت خازن مزبور $1pF$ باشد، مینیمم ابعاد آنها چقدر می‌باشد؟ ($\epsilon_{ox} = 3.5 \times 10^{-13} F/cm$)

۱. 2.85nm ۲. 23.9 μm ۳. 53.45 μm ۴. 16.9 μm

۴- ولتاژ خروجی در شکل زیر کدام است؟



۱. $V_{DD} - V_t$ ۲. $V_{DD} - 2V_t$ ۳. $V_{DD} - 3V_t$ ۴. $V_{DD} - 4V_t$



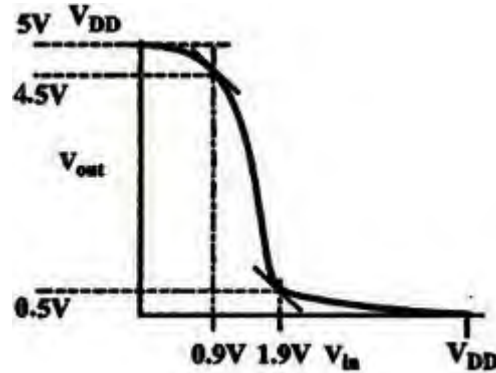
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۴ تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۵۲۰۵

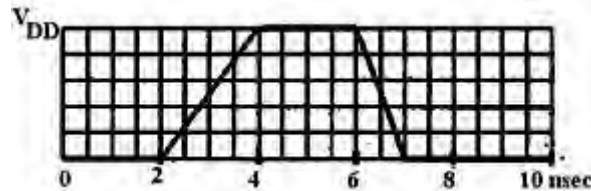
۵- منحنی مشخصه انتقالی وارونگر CMOS ای در شکل زیر نشان داده شده است. کدام گزینه در مورد وارونگر صحیح می باشد؟



۱. $2.5\left(\frac{W}{L}\right)_n > \left(\frac{W}{L}\right)_p, NM_H = 0.5, NM_L = 0.5$ ۲. $2.5\left(\frac{W}{L}\right)_n > \left(\frac{W}{L}\right)_p, NM_H = 3.1, NM_L = 0.9$

۳. $2.5\left(\frac{W}{L}\right)_p > \left(\frac{W}{L}\right)_n, NM_H = 3.1, NM_L = 0.9$ ۴. $2.5\left(\frac{W}{L}\right)_p > \left(\frac{W}{L}\right)_n, NM_H = 0.9, NM_L = 3.1$

۶- یک وارونگر دارای تاخیرهای انتشار $\tau_{PHL} = \tau_{PLH} = 1ns$ در هنگام درایو شدن با پالس ورودی با زمانهای شیب افت و خیز صفر می باشد. برای شکل موج ورودی زیر τ_{PHL} ، τ_{PLH} خروجی کدام است؟



۱. $\tau_{PHL} = 2ns, \tau_{PLH} = 1ns$ ۲. $\tau_{PHL} = 1.05ns, \tau_{PLH} = 1.25ns$

۳. $\tau_{PHL} = 1.28ns, \tau_{PLH} = 1.08ns$ ۴. $\tau_{PHL} = 1.45ns, \tau_{PLH} = 1.07ns$



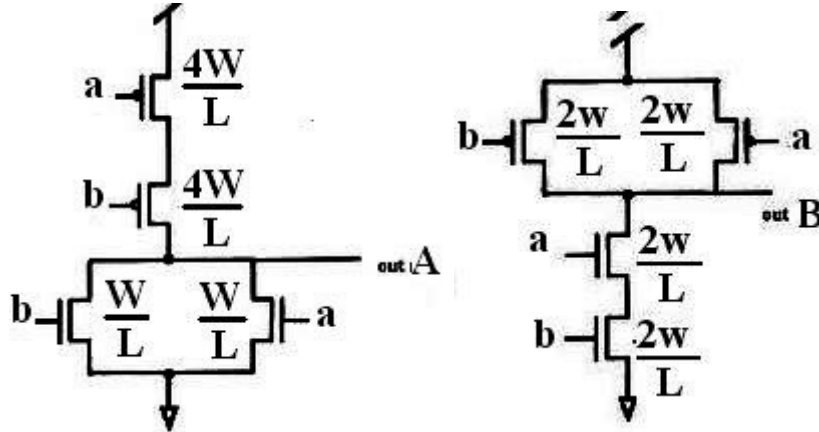
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۴ تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۵۲۰۵

۷- کدام گزینه در مورد مدارهای زیر صحیح است؟ (نسبت $\frac{W}{L}$ ها در هر دو مدار برابر می باشد)

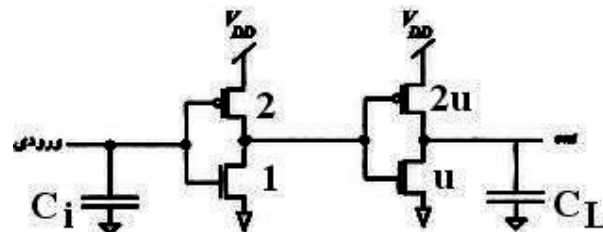


۱. مدار A دارای زمان پایین رونده سریعتری در مقایسه با مدار B می باشد.
۲. مدار B دارای زمان پایین رونده سریعتری در مقایسه با مدار A می باشد.
۳. مدار A دارای زمان بالا رونده سریعتری در مقایسه با مدار B می باشد.
۴. زمان بالا رونده مدار A برابر با زمان بالا رونده مدار B می باشد.

۸- کدام گزینه صحیح می باشد؟

۱. در ترانزیستورهایی که از خطوط تغذیه دورتر می باشند، احتمال وقوع پدیده قفل شدگی بیشتر می باشد.
۲. با کاهش مقاومت R_{sub} و R_{well} در CMOS احتمال وقوع پدیده قفل شدگی بیشتر می شود.
۳. یکی از راههای جلوگیری از پدیده قفل شدگی قرار دادن یک لایه رانشستی با آلایش زیاد بر روی زیر لایه با آلایش کم می باشد.
۴. استفاده از حلقه های محافظ در CMOS باعث افزایش بهره ترانزیستورهای دو قطبی عامل پدیده قفل شدگی می شود.

۹- در مدار شکل زیر اگر $C_L = 4pF$ و $C_i = 10fF$ و تاخیر وارونگر حداقل اندازه برای تحریک یک وارونگر حداقل اندازه $1nsec$ باشد، u و تاخیر انتشار کل کدام است؟
($1fF = 10^{-15}F$)



۴. $20, 40nsec$

۳. $20, 20nsec$

۲. $40, 20nsec$

۱. $10, 10nsec$



زمان آزمون (دقیقه): ۶۰ : تشریحی: ۶۰

تعداد سوالات: تستی: ۲۴ : تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۲۰۵

۱۰- تابع $F(A, B, C, D, E) = \overline{(A + B + C)} \cdot \overline{(D + E)}$ معادل کدام روش نوشت گذاری زیر است؟

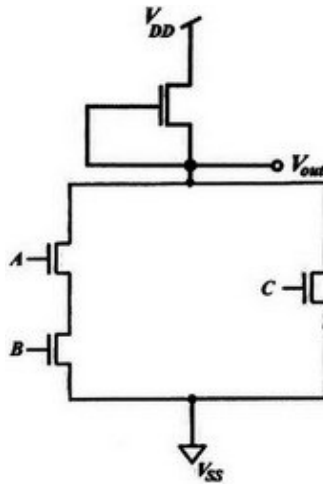
۴. OAI 32

۳. OA 32

۲. OAI 311

۱. AO 311

۱۱- در مدار شکل زیر با فرض آنکه $\left(\frac{W}{L}\right)_{pu} = 1$ باشد، برای عملکرد صحیح و متقارن مدار کدام گزینه صحیح است؟



۲. $\left(\frac{W}{L}\right)_B = \left(\frac{W}{L}\right)_A = \frac{1}{2}, \left(\frac{W}{L}\right)_C = \frac{1}{4}$

۱. $\left(\frac{W}{L}\right)_B = \left(\frac{W}{L}\right)_A = 2, \left(\frac{W}{L}\right)_C = 4$

۴. $\left(\frac{W}{L}\right)_B = \left(\frac{W}{L}\right)_A = 1, \left(\frac{W}{L}\right)_C = 2$

۳. $\left(\frac{W}{L}\right)_B = \left(\frac{W}{L}\right)_A = \left(\frac{W}{L}\right)_C = 1$

۱۲- کدام گزینه صحیح نمی باشد؟

۱. توان مصرفی مدارهای BiCMOS کمتر از مدارهای CMOS می باشد.
۲. جریان دهی مدارهای BiCMOS بیشتر از مدارهای CMOS می باشد.
۳. پیچیدگی مدارهای BiCMOS بیشتر از مدارهای CMOS می باشد.
۴. تاخیر مدارهای BiCMOS کمتر از مدارهای CMOS می باشد.



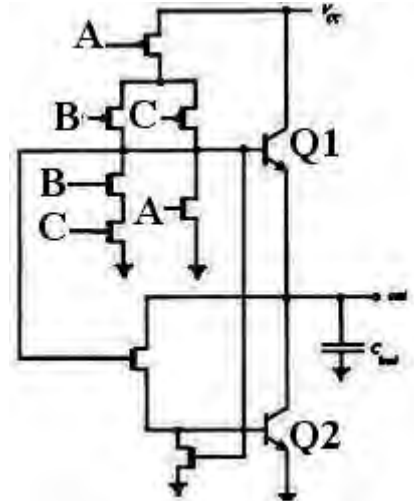
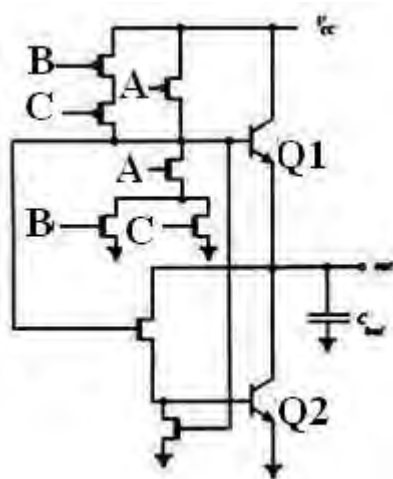
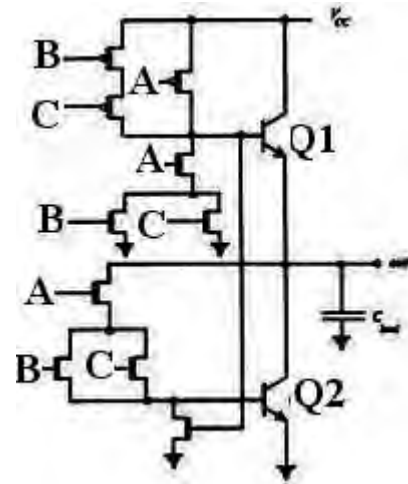
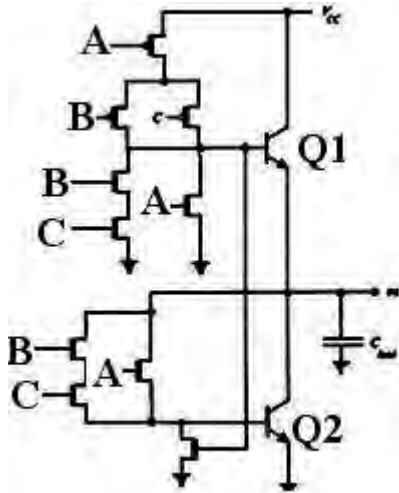
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۴ تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۲۰۵

۱۳- کدام گزینه پیاده سازی عبارت $\bar{Z} = A.(B + C)$ را به وسیله منطق BiCMOS نشان می دهد؟





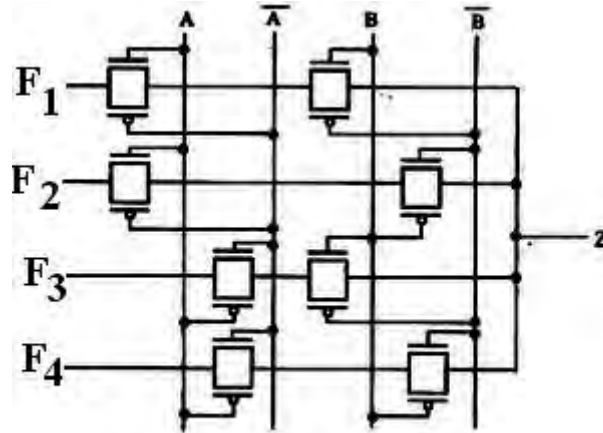
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۴ تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۲۰۵

۱۴- در مدار شکل زیر اگر $F_1 F_2 F_3 F_4 = 1001$ باشد، این واحد چه گیت منطقی را پیاده سازی می کند؟



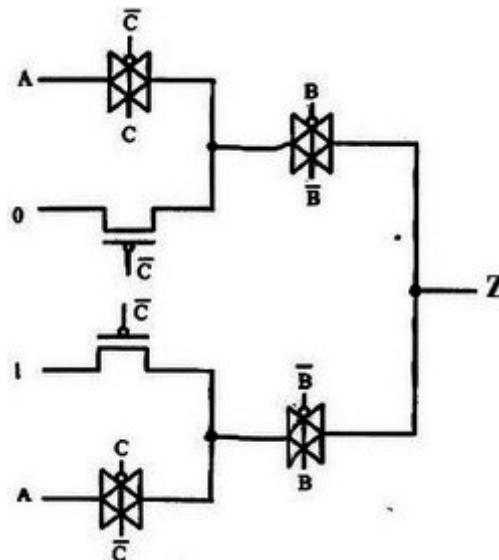
۴. $OR(A,B)$

۳. $NAND(A,B)$

۲. $XNOR(A,B)$

۱. $XOR(A,B)$

۱۵- گیت های انتقالی زیر چه تابع منطقی را پیاده سازی می کنند؟



۲. $A.B.C$

۱. $AC + AB + BC$

۴. $AC + A\bar{B} + C\bar{B}$

۳. $AB + C\bar{B} + A\bar{B}$

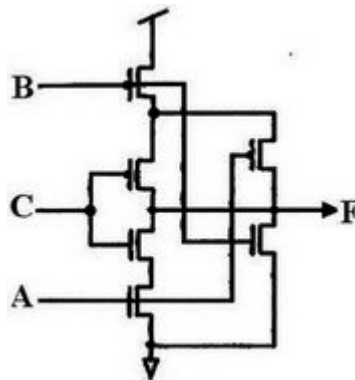
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۴ تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۲۰۵

۱۶- تابع منطقی مدار زیر چیست؟



۱. $F = \overline{ABC}$ ۲. $F = \overline{A + B + C}$ ۳. $F = \overline{A} \cdot (\overline{B} + \overline{C})$ ۴. $F = \overline{B} \cdot (\overline{A} + \overline{C})$

۱۷- کدام گزینه مقاومت لایه ها را به ترتیب نزولی به درستی نشان می دهد؟

۱. پلی - عایق - نفوذ - فلز
۲. عایق - نفوذ - پلی - فلز
۳. عایق - پلی - نفوذ - فلز
۴. عایق - فلز - پلی - نفوذ

۱۸- با فرض آنکه در جدول زیر قوانین اتصال لایه‌ها در CMOS رعایت شده است، کدام گزینه درست است؟

	فلز ۱	پلی	نفوذ نوع p	نفوذ نوع n
نفوذ نوع p	D	C	B	A

۱. اتصال A: باعث پدید آمدن ترانزیستور می‌شود.
اتصال B: در صورت عبور دو نفوذ همواره برقرار است.
اتصال C: غیرمجاز است.
۲. اتصال B: غیر مجاز است.
اتصال C: باعث پدید آمدن ترانزیستور می‌شود.
اتصال D: در صورت استفاده contact این اتصال برقرار می‌باشد.
۳. اتصال A: غیر مجاز است.
اتصال C: باعث پدید آمدن ترانزیستور می‌شود.
اتصال D: در صورت استفاده contact این اتصال برقرار می‌باشد.
۴. اتصال A: باعث پدید آمدن ترانزیستور می‌شود.
اتصال B: در صورت عبور دو نفوذ همواره برقرار است.
اتصال D: در صورت استفاده via این اتصال برقرار می‌باشد.



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۴ تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۱۵۲۰۵

۱۹- برای تراشه ای که در فرآیند 0.35μ ساخته شده است، λ کدام است؟

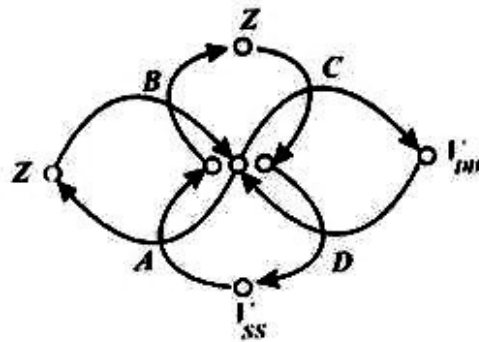
۰۲ 0.7μ

۰۱ 0.35μ

۰۴ λ برابر حداقل پهنای نفوذ است.

۰۳ 0.175μ

۲۰- تابع منطقی متناظر با گراف اولری زیر کدام است؟



۰۲ $Z = (A + B).(C + D)$

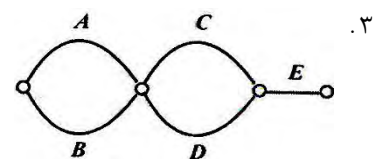
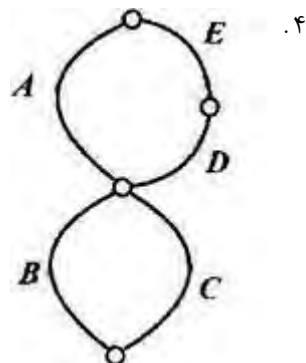
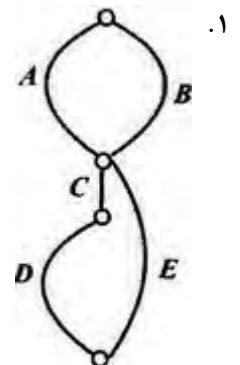
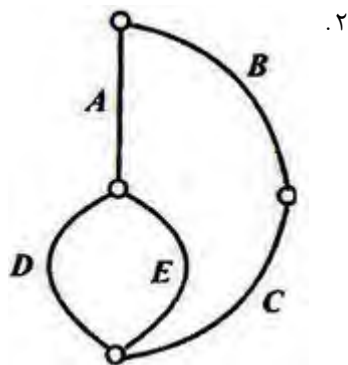
۰۱ $Z = (A + D).(C + B)$

۰۴ $\bar{Z} = (A.B + C.D)$

۰۳ $\bar{Z} = (C.B + A.D)$

۲۱- گراف اولری شبکه PMOS متناظر با تابع زیر کدام است؟

$$out = \overline{A.(D + E) + B.C}$$



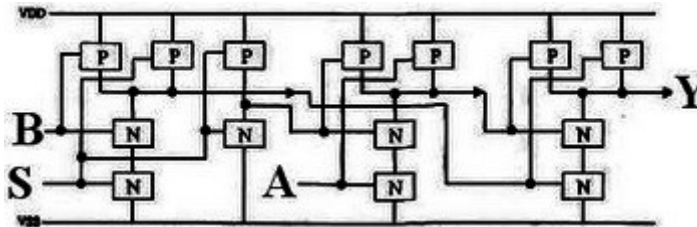
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۴ تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۲۰۵

۲۲- نمودار نشان داده شده در شکل زیر کدام تابع منطقی را پیاده سازی می کند؟



$Y = (\overline{B} . S) + (B . A)$.۲

$Y = \overline{(\overline{S} . A) . (\overline{S} . \overline{B})}$.۱

$Y = \overline{\overline{A} . B . S . B}$.۴

$Y = A . \overline{S} + B . S$.۳

۲۳- معمولاً لازم است فواصل بین نماها در فاصله مینیممی قرار گیرند تا از مشکل..... پیشگیری شود؟

- ۰.۱ اتصال باز ۰.۲ اتصال کوتاه ۰.۳ اتلاف توان ۰.۴ تاخیر زمان بندی

۲۴- فرض کنید قوانین طراحی به صورت زیر باشند:

-اندازه تماس: $0.3\mu * 0.3\mu$

-فاصله تماس تا لبه ناحیه فعال: 0.2μ

-فاصله تماس تا لبه پلی: 0.3μ

با فرض وجود یک تماس در درین، برای حصول کوچکترین ظرفیت خازن درین، مساحت درین چقدر باید باشد؟

- ۰.۱ $0.64\mu^2$ ۰.۲ $0.56\mu^2$ ۰.۳ $1.1\mu^2$ ۰.۴ $0.36\mu^2$



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۴ تشریحی: ۵

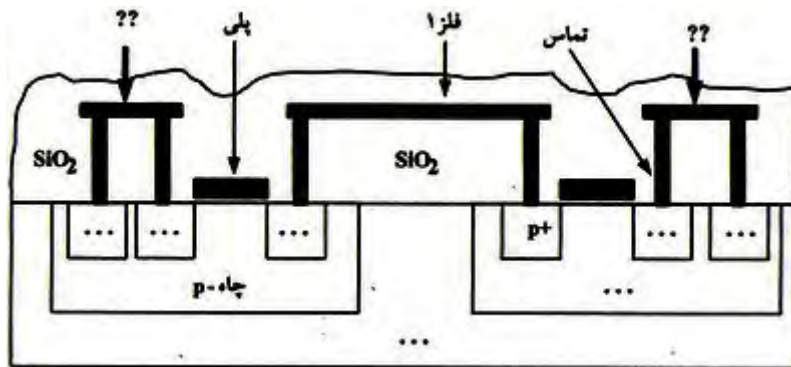
عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۵۲۰۵

سوالات تشریحی

نمره ۱.۴۰

۱- برش مقطعی از یک وارونگر در فرآیندی خاص در شکل زیر نشان داده شده است. الف) بر حسب نوع ترانزیستورهای نشان داده شده در شکل، چاه n یا p، نواحی سورس و درین و نوع آرایش ها را مشخص کنید. (جاهای نشان داده شده با نقطه چین را کامل کنید). ب) جای علامت ?? نشان داده شده در شکل، از ولتاژهای مناسب استفاده کنید. ج) نام این فرآیند و علت استفاده از آن را ذکر نمایید.



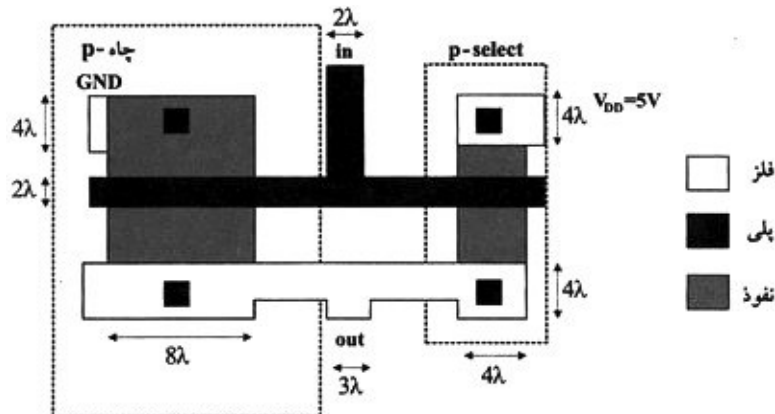
نمره ۲.۱۰

۲- منحنی مشخصه مداری که چینش آن در زیر آمده است را رسم کنید.

$$|V_{TH,n}| = |V_{TH,p}| = IV$$

$$V_{DD} = 5V$$

$$\mu_n = 2.5\mu_p$$



نمره ۰.۷۰

۳- تابع $F = (A + C).D + B$ را با منطق CMOS طراحی و اندازه ترانزیستورها را برای داشتن مداری متقارن تعیین نمایید.



تعداد سوالات: تستی: ۲۴ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۲۰۵

۰.۷۰ نمره -۴ تابع $f(A, B, C) = \sum m(3, 5, 7)$ را که در آن m بیانگر مین ترم های تابع است به طور بهینه با منطق سوئیچ طراحی و بهینه سازی کنید.

۲.۱۰ نمره -۵ مسیر اولری مشترک تابع زیر را به دست آورید و به کمک آن نمودار میله ای متناظر آن را رسم نمایید.
 $F = (\overline{A} + \overline{B}).(\overline{C} + \overline{D})$

از نمادهای زیر برای رسم نمودار میله ای استفاده کنید.

-  نفوذ
-  پلی
-  فلز
-  تماس

ج	1
د	2
ب	3
ج	4
ب	5
ج	6
د	7
الف	8
د	9
ج	10
الف	11
الف	12
الف	13
ب	14
الف	15
د	16
ب	17
ج	18
ج	19
د	20
د	21
ج	22
ب	23
ب	24