



زمان آزمون (دقیقه): تستی: ۹۰ تشریحی: ۰

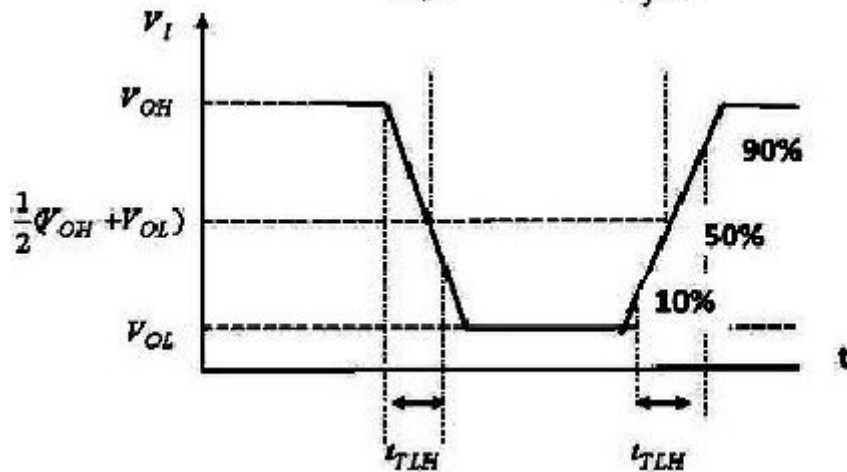
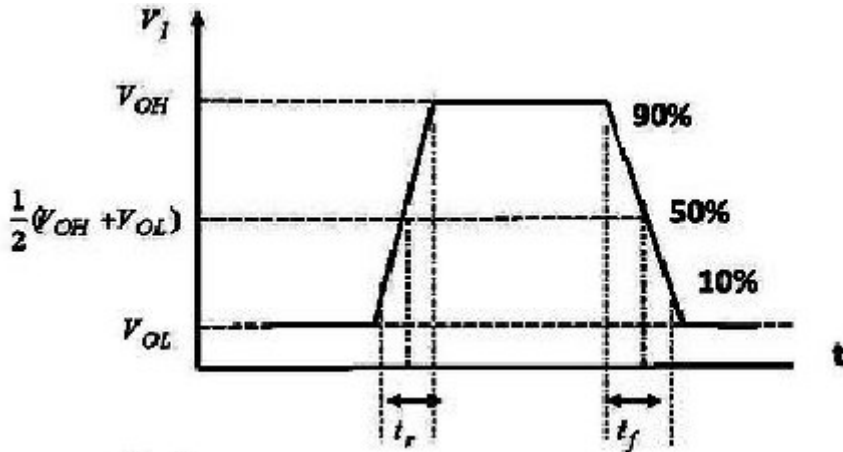
تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

استفاده از ماشین حساب ساده، ماشین حساب مهندسی مجاز است

۱- با توجه به شکل کدام گزینه زمان تأخیر انتشار را به درستی بیان می کند؟



۲. $\frac{1}{2}(t_{PHL} + t_{PLH})$

۱. $\frac{1}{2}(t_{THL} + t_{TLH})$

۴. $\frac{1}{2}(t_{PLH} + t_{TLH})$

۳. $\frac{1}{2}(t_{PHL} + t_{THL})$

۲- ظرفیت خروجی یک گیت با مشخصات زیر چقدر است؟

$I_{OUT(Low)} = 35.4 \text{ mA}$

$I_{OUT(High)} = 67.2 \text{ mA}$

$I_{IN(Low)} = 3.43 \text{ mA}$



زمان آزمون (دقیقه): تستی: ۹۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۳- کدام گزینه در مورد نیمه هادی نوع P درست است؟

۱. در لایه آخر پذیرنده الکترون است و در آن حفره ها حاملهای اکثریت می باشند.
۲. در لایه آخر پذیرنده الکترون است و در آن الکترون ها حاملهای اکثریت می باشند.
۳. در لایه آخر دهنده الکترون است و در آن الکترون ها حاملهای اکثریت می باشند.
۴. در لایه آخر دهنده الکترون است و در آن حفره ها حاملهای اکثریت می باشند.

۴- با توجه به رابطه شاکی مقدار جریان یک دیود پیوندی PN با $V_D=0.7\text{ v}$ و در دمای 25°C چقدر است؟

$$I_S = 10^{-14}\text{ A}, K = 1.34 \times 10^{-23}, q = 1.6 \times 10^{-19}$$

۴. 15.2 mA

۳. 1.52 mA

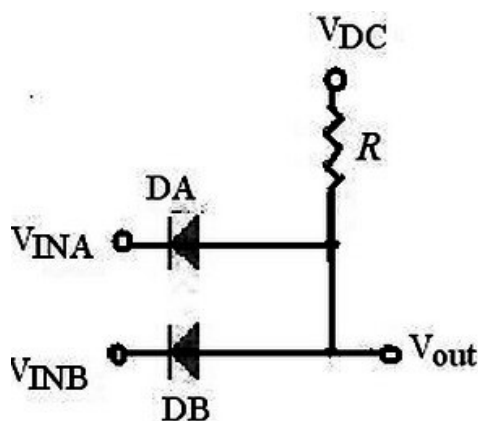
۲. 1.25 mA

۱. 125 mA

۵- کدام گزینه در مورد دیود شاتکی درست است؟

۱. به صورت یک نیمه هادی خالص ساخته می شود و افت ولتاژ مستقیم کمتری در مقایسه با دیود پیوندی PN دارد.
۲. به صورت یک نیمه هادی خالص ساخته می شود و افت ولتاژ مستقیم بیشتری در مقایسه با دیود پیوندی PN دارد.
۳. به صورت پیوند نیمه هادی و فلز ساخته می شود و افت ولتاژ مستقیم کمتری در مقایسه با دیود پیوندی PN دارد.
۴. به صورت پیوند نیمه هادی و فلز ساخته می شود و افت ولتاژ مستقیم بیشتری در مقایسه با دیود پیوندی PN دارد.

۶- مدار زیر معرف کدام گیت دیودی است؟



۴. NAND

۳. NOR

۲. AND

۱. OR



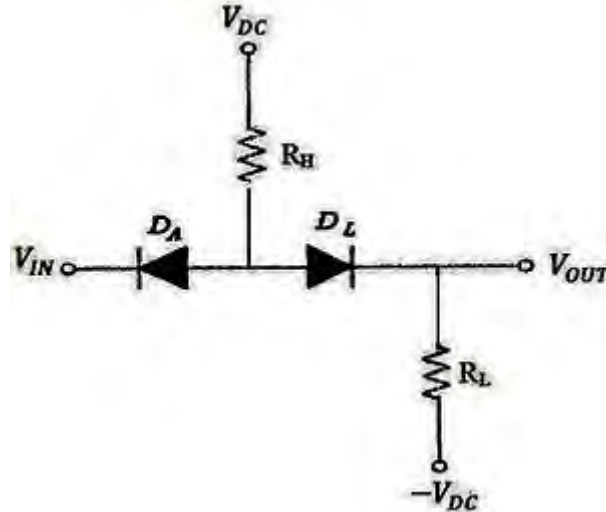
زمان آزمون (دقیقه): تستی: ۹۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۷- در مدار شکل زیر مقادیر V_{OH} و V_{OL} چقدر می باشند؟ ($R_L=R_H=1\text{ k}\Omega$, $V_D(\text{ON})=0.7\text{ v}$, $V_{DC}=+4\text{ v}$)



۲. $V_{OH}= +0.35\text{ v}$ و $V_{OL}= -4\text{ v}$

۱. $V_{OH}= -0.35\text{ v}$ و $V_{OL}= -4\text{ v}$

۴. $V_{OH}= +4\text{ v}$ و $V_{OL}= 0\text{ v}$

۳. $V_{OH}= +4\text{ v}$ و $V_{OL}= -0.35\text{ v}$

۸- کدام یک از گزینه های زیر صحیح نمی باشد؟

۱. MOSFET ها به صورت عناصری متقارن ساخته می شوند و جریان در آنها تنها توسط یک نوع حامل برقرار می شود.
۲. MOSFET ها بسته به اینکه روی زیر لایه نوع N یا نوع P ساخته شوند به ترتیب PMOS و NMOS نامیده می شوند.
۳. ترانزیستورهای PMOS سریعتر کار می کنند و همچنین می توان آنها را کوچکتر ساخت، در نتیجه تکنولوژی غالب در ساخت مدارات مجتمع MOSFET می باشند.
۴. CMOS تکنولوژی تکمیلی MOSFET ها است که در آن از هر دو نوع PMOS و NMOS استفاده می شود.



زمان آزمون (دقیقه): تستی: ۹۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۹- کدام گزینه برای عملکرد NMOS تخلیه ای در ناحیه اشباع درست می باشد؟

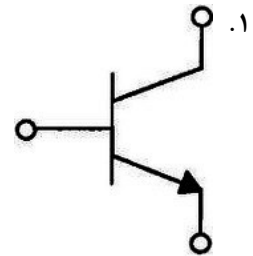
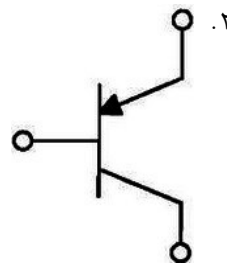
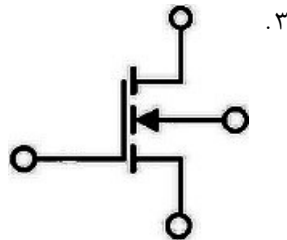
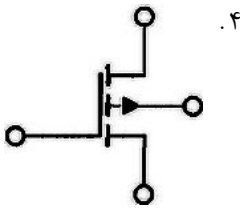
۱. $I_D = \frac{K}{2} (V_{DS} - V_t)^2 (1 + \lambda V_{DS})$, $V_{DS} < V_{GS} - V_t$

۲. $I_D = \frac{K}{2} (V_{DS} - V_t)^2 (1 + \lambda V_{DS})$, $V_{DS} > V_{GS} - V_t$

۳. $I_D = K \left[(V_{GS} - V_t) V_{DS} - \frac{V_{DS}^2}{2} \right]$, $V_{DS} > V_{GS} - V_t$

۴. $I_D = K \left[(V_{GS} - V_t) V_{DS} - \frac{V_{DS}^2}{2} \right]$, $V_{DS} < V_{GS} - V_t$

۱۰- کدامیک از علائم زیر نماد مداری ترانزیستور PMOS افزایشی است؟





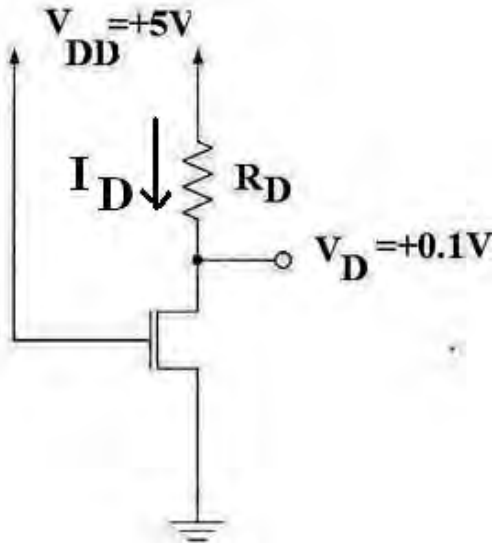
تعداد سوالات: تستی: ۳۰ تشریحی: ۰

زمان آزمون (دقیقه): تستی: ۹۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۱۱- در مدار زیر ولتاژ درین ۰/۱ ولت است. فرض کنید $V_i=1\text{ v}$ ، $K_n=0.5\text{ mA/V}^2$ و $V_{DD}=+5\text{ v}$ باشد. ترانزیستور در چه ناحیه ای کار می کند و در این شرایط جریان I_D چقدر است؟



۰۴ اشباع، 0.89 mA

۰۳ اشباع، 0.395 mA

۰۲ خطی، 0.89 mA

۰۱ خطی، 0.395 mA



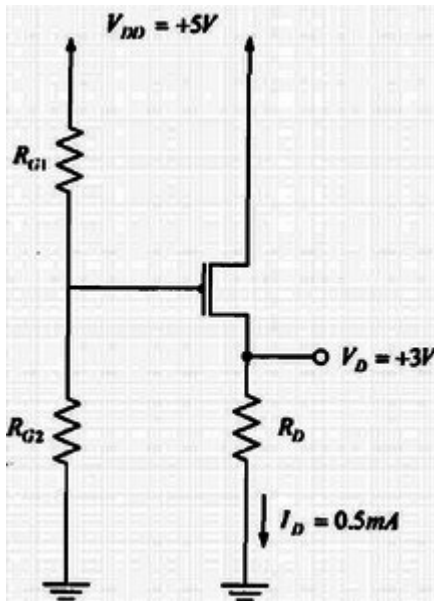
زمان آزمون (دقیقه): تستی: ۹۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۱۲- در مدار شکل زیر بیشترین مقدار R_D با حفظ عملکرد در ناحیه اشباع چقدر است؟ فرض کنید که با $I_D = 0.5 \text{ mA}$ و $V_D = +3 \text{ V}$ ترانزیستور در ناحیه اشباع کار می کند. همچنین $V_{t1} = -1 \text{ V}$ ، $K_p = 0.5 \text{ mA/V}^2$ و $\lambda = 0$ می باشد. (توجه کنید که ترانزیستور PMOS است).



۲۳۵Ω .۴

۳۳۵Ω .۳

۸kΩ .۲

۶kΩ .۱

۱۳- کدامیک از گزینه های زیر در مورد ترانزیستورهای NMOS صحیح نمی باشد؟

۱. اثر کلی افزایش دمای ترانزیستور، کاهش جریان درین است.
۲. افزایش میزان تزریق ناخالصی در زیر لایه ولتاژ آستانه ترانزیستور را افزایش می دهد.
۳. هنگامی که ولتاژ درین به سورس از حدود ۵۰ ولت بیشتر شود، پدیده شکست اکسید گیت اتفاق می افتد.
۴. به ازای هر یک درجه سانتیگراد افزایش دما اندازه ولتاژ آستانه حدود ۲mV کاهش می یابد.



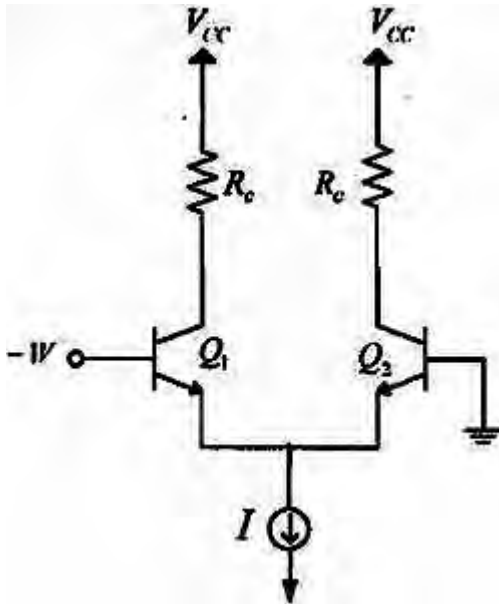
زمان آزمون (دقیقه): تستی: ۹۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۱۴- با توجه به مدار شکل زیر کدام گزینه صحیح است؟



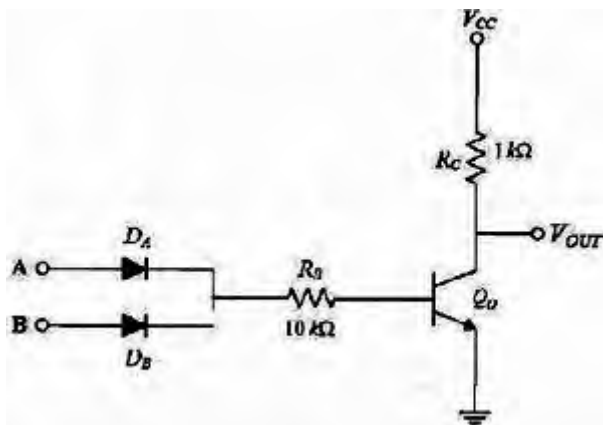
۰۱. Q_1 و Q_2 هر دو وصل است و جریان را هدایت می کنند.

۰۱. Q_1 و Q_2 هر دو قطع می باشند.

۰۴. Q_1 قطع است و Q_2 تمام جریان را می کشد.

۰۳. Q_2 قطع است و Q_1 تمام جریان را می کشد.

۱۵- مدار شکل زیر چه تابعی را پیاده سازی می کند؟



AND .۴

NAND .۳

NOR .۲

XOR .۱



زمان آزمون (دقیقه): تستی: ۹۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۱۶- در یک ترانزیستور دو قطبی جریان اشباع معکوس امیتر حدود 10^{-14} A و $\alpha_F=1$ و $\alpha_R=0.02$ می باشند. جریان اشباع معکوس کلکتور چقدر است؟

۱۰^{-۱۴} A .۴

۲×۱۰^{-۱۴} A .۳

۵×۱۰^{-۱۳} A .۲

۲×۱۰^{-۱۶} A .۱

۱۷- یک گیت NOT-RTL پایه در خروجی به N طبقه مشابه متصل شده است. ماکزیمم ظرفیت خروجی و توان مصرفی ماکزیمم به ترتیب چقدر است؟

$V_{CC}=5\text{ v}$, $R_B=10\text{ k}\Omega$, $R_C=1\text{ k}\Omega$, $\beta_f=25$, $V_{BE}(\text{sat})=0.8\text{ v}$, $V_{CE}(\text{sat})=0.2\text{ v}$

$P_{CC}=15.5\text{ mW}$ و $N=5$.۲

$P_{CC}=12.96\text{ mW}$ و $N=2$.۱

$P_{CC}=19.7\text{ mW}$ و $N=28$.۴

$P_{CC}=17.7\text{ mW}$ و $N=12$.۳

۱۸- کدام گزینه در مورد ترانزیستور دو قطبی صحیح نمی باشد؟

۱. از سه ناحیه نیمه رسانا به نامهای امیتر، بیس و کلکتور تشکیل می شود.

۲. در این ترانزیستور الکترون ها و حفره ها هر دو جریان را هدایت می کنند.

۳. در حالت اشباع پیوندهای بیس-امیتر و بیس-کلکتور هر دو بایاس مستقیم می باشند.

۴. معمولاً غلظت بیس را بالا می گیرند تا اینکه جریان دهی در جهت مستقیم بیشتر باشد.

۱۹- مدل ابرز-مول برای تحلیل عملکرد کدامیک از خانواده های منطقی زیر استفاده می شود؟

GaAs .۴

BJT .۳

CMOS .۲

MOSFET .۱



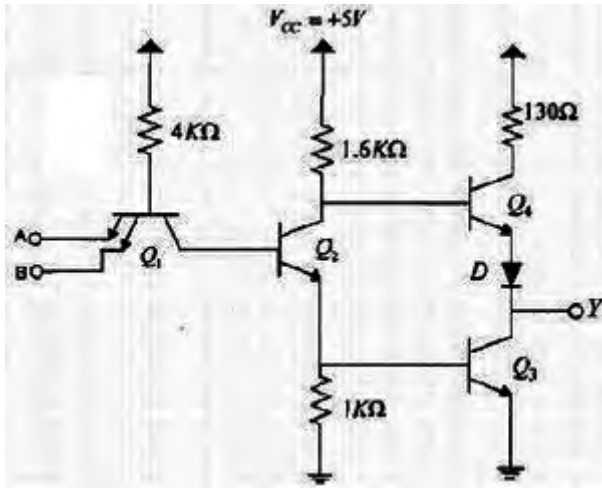
زمان آزمون (دقیقه): تستی: ۹۰: تشریحی: ۰

تعداد سوالات: تستی: ۳۰: تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۲۰- گیت TTL زیر چه تابعی را پیاده سازی می کند؟



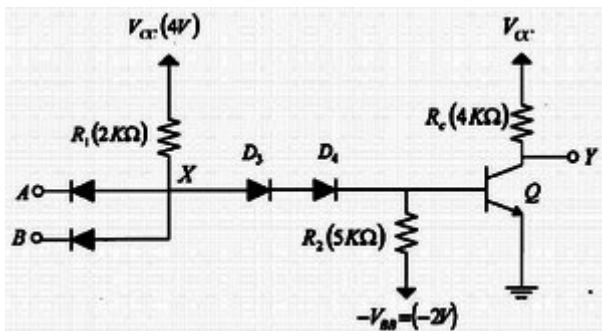
۴. $A + B$

۳. $\overline{A + B}$

۲. $A.B$

۱. $\overline{A.B}$

۲۱- اگر در گیت زیر هر دو ورودی در سطح بالا باشند ترانزیستور Q در چه ناحیه ای قرار می گیرد و در این وضعیت جریان کلکتور آن چقدر است؟



۴. اشباع، 0.95 mA

۳. اشباع، 0.54 mA

۲. قطع، 0.95 mA

۱. قطع، 0.54 mA

۲۲- کدام گزینه عبارت زیر را به طور صحیح کامل می کند؟

برای افزایش سرعت TTL بین ترانزیستور ها ، دیود شاتکی گذاشته می شود. این کار باعث می شود بخشی از جریان تحریک بیس BJT از دیود شاتکی عبور کند و بنابراین مانع از ترانزیستور شود.

۴. بیس و کلکتور، اشباع

۳. بیس و امیتر، قطع

۲. بیس و کلکتور، اشباع

۱. بیس و کلکتور، قطع



زمان آزمون (دقیقه): تستی: ۹۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۲۳- کدام گزینه در مورد ECL صحیح نمی باشد؟

۱. بعد از گالیم آرسناید سریع ترین خانواده منطقی است.
 ۲. می توان با اتصال خروجی گیت های ECL ، تابع OR منطقی را بدست آورد.
 ۳. ظرفیت خروجی آن ، توسط ملاحظات مربوط به تراز منطقی محدود می شود.
 ۴. با بکار بردن زوج تفاضلی BJT به صورت کلید جریان از اشباع جلوگیری می شود.
- ۲۴- حاشیه های امنیت نویز بالا و پایین را در گیت ECL با مقادیر زیر بدست آورید؟

$$V_{IH}=-1.205 \text{ v} , V_{IL}=-1.435 \text{ v} , V_{OL}=-1.77 \text{ v} , V_{OH}=-0.88 \text{ v}$$

$$NM_L=0.325 \text{ v} , NM_H=0.325 \text{ v} \quad .۲$$

$$NM_L=0.335 \text{ v} , NM_H=0.335 \text{ v} \quad .۱$$

$$NM_L=0.325 \text{ v} , NM_H=0.335 \text{ v} \quad .۴$$

$$NM_L=0.335 \text{ v} , NM_H=0.325 \text{ v} \quad .۳$$



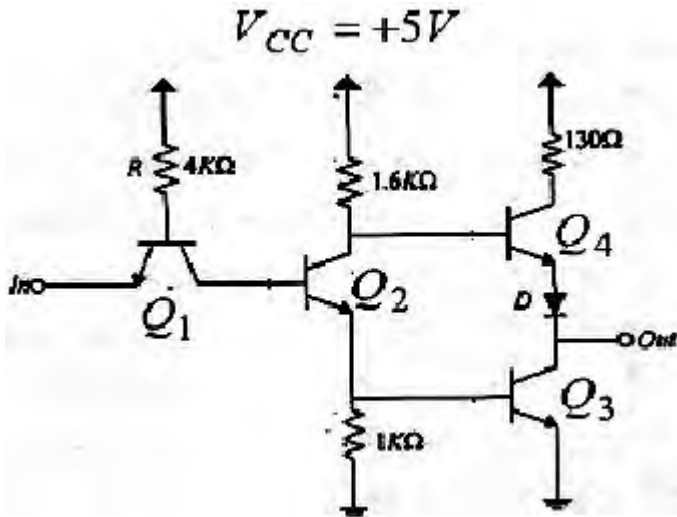
زمان آزمون (دقیقه): تستی: ۹۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۲۵- شکل زیر مدار گیت TTL استاندارد را نشان می دهد. با توجه به شکل کدام گزینه صحیح نمی باشد؟



۱. در سطح پایین خروجی، ترانزیستور امیتر-مشترک طبقه توتم پل، ولتاژ خروجی را تا حد اشباع پایین می آورد.
۲. در سطح بالای خروجی، ترانزیستور دنبالگر-امیتر طبقه توتم پل وصل است و جریان بار را تأمین میکند.
۳. در سطح پایین ورودی، جریان زیادی سریعاً بیس جداساز فاز را تخلیه و آنرا به حالت قطع میبرد.
۴. ماکزیمم ظرفیت خروجی گیت TTL وابسته به حالت بالای خروجی است و مستقیماً توسط جریان بار تعیین میشود.

۲۶- در مدار گیت TTL استاندارد، نقش ترانزیستور دنبالگر-امیتر در طبقه خروجی توتم پل، چیست؟

۱. تولید خروجی های مکمل
۲. شارژ سریع خازن بار و بالابردن سطح ولتاژ خروجی
۳. افزایش ظرفیت طبقه خروجی گیت
۴. تولید ورودی های مکمل

۲۷- در مدار گیت TTL استاندارد، وظیفه ترانزیستور طبقه میانی چیست؟

۱. تولید دو سیگنال خروجی مکمل
۲. افزایش حاشیه امنیت نویز
۳. شیفت دهنده سطح ولتاژ
۴. جلوگیری از اشباع ترانزیستور ورودی



زمان آزمون (دقیقه): تستی: ۹۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۲۸- کدام گزینه در مورد اتصال خانواده های منطقی به یکدیگر نادرست است؟

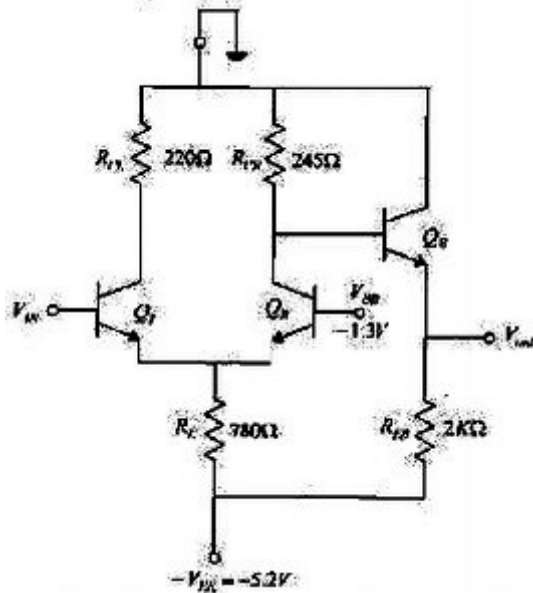
۱. وقتی STTL، CMOS را تحریک می کند مدار واسط تنها زمانی مورد نیاز است، که خروجی CMOS در سطح بالا قرار دارد.

۲. وقتی CMOS، STTL را تحریک می کند مدار واسط مورد نیاز، شامل یک مقاومت بالابر است.

۳. برای اتصال ECL و STTL یک مدار واسط که تبدیل سطح ولتاژ را بین آنها انجام می دهد مورد نیاز است

۴. تراشه تجاری مبدل های چهارتایی STTL به ECL است

۲۹- مدار شکل زیر کدام مبدل را نشان می دهد؟



۲. CMOS به ECL

۱. CMOS به STTL

۴. ECL به DTL

۳. ECL به STTL



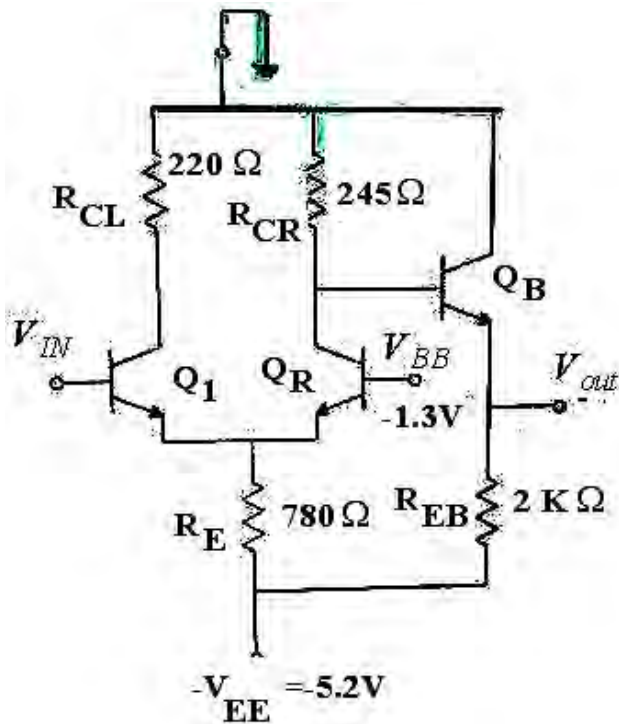
زمان آزمون (دقیقه): تستی: ۹۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۳۰- در مدار شکل زیر جریان کلکتور Q_1 برای حالتی که V_{IN} در سطوح ولتاژ بالا و پایین قرار دارد، به ترتیب چقدر است؟ (فرض کنید $V_{IN(High)} = -0.77\text{ v}$ و $V_{IN(Low)} = -1.58\text{ v}$ ، $V_{BE} = 0.75\text{ v}$ باشد.)



۲. $I_{C,Q1(Low)} = 0\text{ mA}$ ، $I_{C,Q1(High)} = 3.68\text{ mA}$

۱. $I_{C,Q1(Low)} = 3.68\text{ mA}$ ، $I_{C,Q1(High)} = 0\text{ mA}$

۴. $I_{C,Q1(Low)} = 0\text{ mA}$ ، $I_{C,Q1(High)} = 4.72\text{ mA}$

۳. $I_{C,Q1(Low)} = 4.72\text{ mA}$ ، $I_{C,Q1(High)} = 0\text{ mA}$

مبانی الکترونیک دیجیتال ترم اول ۹۱-۹۲

ب	1
ج	2
الف	3
د	4
ج	5
ب	6
الف	7
ج	8
ب	9
د	10
الف	11
ب	12
ج	13
د	14
ب	15
ب	16
ج	17
د	18
ج	19
الف	20
د	21
ب	22
ج	23
ج	24
د	25
ب	26
الف	27
الف	28
ج	29
د	30