



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۵۲۱۳

۱- در نمودار Y کدام گزینه جزء حوزه های طراحی نیست؟

- ۰۱ فناوری ۰۲ رفتاری ۰۳ ساختاری ۰۴ فیزیکی

۲- کدام گزینه ویژگی نادرستی در مورد PAL و PAL16L8 و PAL های دیگر ارائه می نماید؟

- ۰۱ PAL16L8 دارای صفحه AND ثابت بوده و ۷ دروازه OR به طور دائمی به هر دروازه AND وصل است.
 ۰۲ بسته به نحوه برنامه ریزی، شش تا از خروجی ها که I/O نامیده شده اند، می توانند به عنوان ورودی نیز استفاده شوند.
 ۰۳ اگر دروازه فعال ساز خروجی به طور ثابت صفر برنامه ریزی شود، پین I/O صرفاً ورودی خواهد بود.
 ۰۴ دروازه فعال ساز خروجی می تواند به طور ثابت یک برنامه ریزی شود و خروجی همواره فعال باشد.

۳- کدام گزینه، جملات زیر را به طور صحیح، کامل می کند؟

مهمترین موردی که درباره دیاگرام منطقی GAL 16V8C باید به آن توجه شود این است که در مقایسه با PAL16L8 یک گیت ----- بین خروجی هر ----- و بافر سه حالت خروجی قرار گرفته است. یکی از ورودی های XOR به مقدار ----- PULL UP شده، ولی بوسیله یک فیوز به زمین وصل شده است.

- ۰۱ OR - XOR - یک منطقی
 ۰۲ OR - XOR - یک منطقی
 ۰۳ OR - XOR - صفر منطقی
 ۰۴ OR - XOR - صفر منطقی



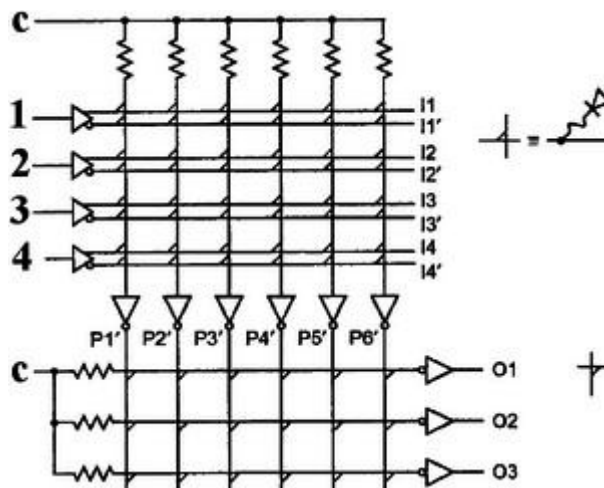
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۵۲۱۳

۴- شکل زیر بیانگر کدام گزینه می باشد؟



۱. ساختار PLA دوقطبی

۲. مدار داخلی GAL20V8

۳. درشت سلول منطقی با خروجی تثبیت شده مربوط به GAL22V10

۴. درشت سلول منطقی با خروجی ترکیبی مربوط به GAL22V10

۵- کدام گزینه از انواع FPGA بر اساس آرایش بلوک های منطقی برنامه پذیر نمی باشد؟

۱. ساختار مبتنی بر جدول جستجو (LUT)

۲. آرایه متقارن

۳. ساختار سطری

۴. PLD سلسله مراتبی



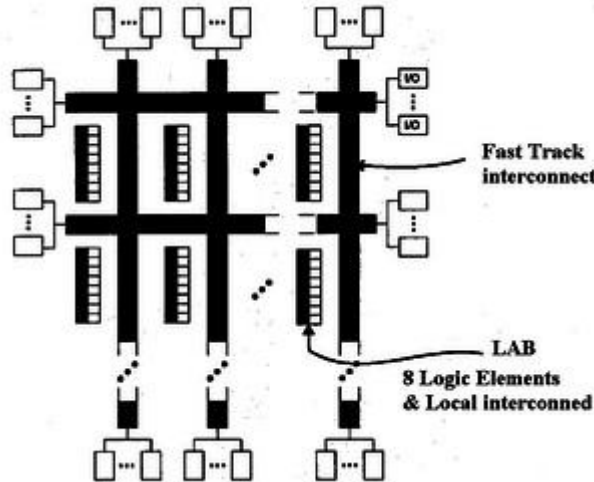
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۵۲۱۳

۶- شکل زیر ساختار ارائه کننده چیست؟



۱. ساختار کلی FLEX 8000 مربوط به شرکت Altera

۲. ساختار خانواده PASIC مربوط به شرکت Quicklogic

۳. شمای کلی PPGA های شرکت Actel

۴. ساختار یک PFU مربوط به شرکت AT&T

۷- کدام گزینه بیان غلطی از سوئیچ های قابل برنامه ریزی (PSE) ارائه می کند؟

۱. هر PSE محل تلاقی شش رشته سیم است.

۲. PSE امکان اتصال هر دو سیم دلخواه از سیمهای ورودی خود را فراهم می کند.

۳. بدون وجود PSM ها (ماتریس سوئیچ های قابل برنامه ریزی) اتصال CLB هایی که در یک سطر یا یک ستون نیستند، امکان پذیر نخواهد بود.

۴. عبور سیگنال از PSM ها باعث ایجاد تاخیر می گردد.

۸- کدام گزینه در مورد VHDL صحیح نیست؟

۱. VHDL امکان مدل کردن تاخیر دروازه ها را ندارد.

۲. VHDL یک زبان مبتنی بر رخداد است و همروندی دستورات یکی از خصوصیات مهم آن است.

۳. در VHDL امکان استفاده از دستورات ترتیبی وجود دارد.

۴. با استفاده از VHDL می توان سیستمهای دیجیتال را با دو نگرش رفتاری و ساختاری توصیف نمود.



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۱۵۲۱۳

۹- کدامیک از اسامی زیر برای نام **entity** مناسب است ؟

AND .۴ Mybook14 .۳ _OR4 .۲ 2AND .۱

۱۰- کدام شناسه در VHDL معتبر نیست؟

My_gate1 .۴ X_10 .۳ X10 .۲ Gate-input .۱

۱۱- کدام گزینه بیان غلطی در مورد انواع داده در VHDL ارائه می کند؟

۱. انواع scaler ترتیب ندارند و نمی توان از عملگرهای رابطه ای در مورد آنها استفاده نمود.
۲. نوع مجموعه مقادیری که شیء داده ای می تواند داشته باشدرا، تعریف می کند.
۳. نوع مجموعه عملیاتی که روی شیء داده ای مجاز است را، تعریف می کند.
۴. یک نوع شمارشی شامل لیستی از کاراکترها یا شناسه هائی است که برای نوشتن مدل ها در سطوح انتزاعی بسیار مفید است.

۱۲- کدام گزینه جمله زیر را به درستی کامل می کند؟

در VHDL تبدیل بین انواعی که اصالتا از یک نوع هستند، امکان پذیر..... انواع شمارشی تبدیل شوند.

۱. است - نمی توانند ۲. نیست - نمی توانند ۳. است - می توانند ۴. نیست - می توانند

۱۳- با توجه به خصیصه های آرایه در VHDL، مقادیر برگردانده برای هر خصیصه، به ترتیب کدام گزینه است؟

type MYARR 8x 4 is array (8 downto 1, 0 to 3) of boolean;

type MYARR1 is array (-2 to 4) of integer;

MYARR1' left returns : ?

MYARR1' right returns : ?

MYARR1' high returns : ?

MYARR1' reverse_range returns : ?

4 downto -2, 4, 4, 8 .۲

4 downto -2, 4, 4, -2 .۱

8 downto 1, 4, -2, 4 .۴

8 downto 1, 4, 4, 8 .۳



زمان آزمون (دقیقه): ۶۰ : تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ : تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۲۱۳

۱۴- کدام گزینه بیان صحیحی در مورد دستور شرط در VHDL ارائه می کند؟

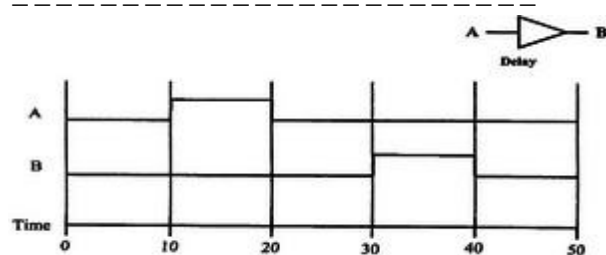
۱. دستور basic loop شرط تکرار ندارد، به طور پیوسته اجرا می شود تا به دستور exit یا next برسد.
۲. دستور IF بر اساس مقدار یک عبارت، یکی از چند دستور متوالی را اجرا می کند.
۳. دستور Case ترتیب اجرای دستورات ترتیبی را بر اساس شرط معین می کند.
۴. دستور while-loop یک شرط تکرار را بررسی می کند، اگر شرط درست بود، حلقه رها شده و اجرا متوقف می شود.

۱۵- توصیف VHDL و نمودار زمانی ورودی و خروجی شکل زیر مربوط به کدام گزینه است؟

```
LIBRARY IEEE;  
USE IEEE.Std_logic_1164.ALL;
```

```
ENTITY delay_line IS  
PORT (a:IN std_logic;  
      b:OUT std_logic);  
END delay_line;
```

```
ARCHITECTURE delay_line OF delay_line IS  
BEGIN  
b <=TRANSPORT a AFTER 20 ns;  
END delay_line;
```



۰۲ . ۲۰ نانو ثانیه تاخیر لختی

۰۴ . ۱۰ نانو ثانیه تاخیر لختی

۰۱ . ۲۰ نانو ثانیه تاخیر انتقال

۰۳ . ۱۰ نانو ثانیه تاخیر انتقال



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۵۲۱۳

۱۶- توصیف زیر مربوط به کدام گزینه است؟

```
library ieee;
use ieee.std_logic_1164.all;
-----

entity XXX is
port( x: in std_logic;
      y: in std_logic;
      F: out std_logic
);
end XXX ;
-----

architecture behv1 of XXX is
begin
  process(x, y)
  begin
    -- compare to truth table
    if (x='1' and y='1') then
      F <= '0';
    else
      F <= '1';
    end if;
  end process;
end behv1;
```

۴. XNOR دو ورودی

۳. XOR دو ورودی

۲. NOR دو ورودی

۱. NAND دو ورودی



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۵۲۱۳

۱۷- برنامه زیر را در نظر بگیرید و بگوئید با کدام گزینه معادل است؟

```
ARCHITECTURE ram OF ram4 IS
  TYPE vector_array IS ARRAY (0 TO words - 1) OF
    STD_LOGIC_VECTOR (bits - 1 DOWNTO 0);
  SIGNAL memory :vector_array;
BEGIN
  PROCESS (CLK , wr_ena)
  BEGIN
    IF (wr_ena = '0') THEN
      bidir <= memory (addr);
    ELSE
      bidir <= (OTHERS => 'Z ');
    IF (clk 'EVENT AND CLK = '1') THEN
      memory (addr) <= bidir;
    END IF;
  END IF;
END PROCESS;
END ram;
```

۱. RAM با گذرگاه ورودی / خروجی دو طرفه
۲. RAM دو درگاه
۳. RAM با ورودی و خروجی مجزا
۴. آشکار ساز توالی بیت (امیتر)
- ۱۸- توصیف زیر مربوط به کدام گزینه است؟

برنامه مربوط به این سوال در پیوست می باشد.

۱. RAM با ۱۶ کلمه ۸ بیتی
۲. RAM با ۸ کلمه ۱۶ بیتی
۳. ROM با ۱۶ کلمه ۸ بیتی
۴. ROM با ۸ کلمه ۱۶ بیتی

۱۹- با توجه به عبارت زیر گزینه صحیح را انتخاب کنید؟

Variable: A bit_vector := "101001";

A sll 2 = ?

۱۰۰۱۱۰ .۴

۱۰۰۱۱۱ .۳

۱۰۰۱۰۰ .۲

۰۱۱۰۱۰ .۱



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۵۲۱۳

۲۰- توصیف زیر مربوط به کدام گزینه است؟

برنامه مربوط به این سوال پیوست می باشد.

۱. ثبات دستورالعمل ۲. شمارنده برنامه ۳. انتخاب کننده ۴. ALU

۲۱- توصیف زیر مربوط به کدام گزینه است؟

برنامه مربوط به این سوال در پیوست می باشد.

۱. Memory ۲. Data-path
۳. Ctrl-unit ۴. Microprocessor

۲۲- کدام گزینه جمله زیر را به طور صحیح کامل می کند؟

بهترین روش برای ساخت نمونه اولیه، در طرح های متوسط و پیچیده می باشد.

۱. استفاده از مدارات برنامه پذیر ۲. استفاده از روش تمام سفارشی
۳. استفاده از روش نیمه سفارشی ۴. استفاده از قطعات استاندارد

۲۳- عملگرهای sll, rem, ror در زبان VHDL را به درستی بیان می کند؟

۱. شیفت منطقی به چپ با صفر - باقیمانده - چرخش به راست
۲. شیفت حسابی به راست با ورودی بیت سمت چپ صفر- توان - شیفت منطقی به چپ با صفر
۳. شیفت حسابی به چپ با صفر - شیفت منطقی به راست با ورودی بیت سمت چپ صفر - چرخش به راست
۴. شیفت منطقی به راست با ورودی بیت سمت چپ صفر- مدول - شیفت منطقی به چپ با صفر

۲۴- کدام گزینه جزء مدارات برنامه پذیر نیست؟

۱. ROM ۲. PLD ۳. ROMP ۴. FPGA

۲۵- کدام گزینه جمله زیر در زبان VHDL را به درستی کامل می کند؟

برای دستور انتساب سیگنال انتخابی، choice ها همپوشانی داشته باشند. در صورت وجود یک انتخاب others، تمام حالات choice_expression با مجموعه choice ها پوشش داده شود.

۱. نباید - باید ۲. نباید - نباید ۳. باید - باید ۴. باید - نباید

سوالات تشریحی

۱- در مورد چگونگی استفاده EPLD از ترانزیستورهای MOS با گیت شناور توضیح دهید.

۱۰۴۰ نمره



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۵۲۱۳

۲- مزایا و معایب FPGA در مقابل MPGA را مختصراً توضیح دهید. ۱.۴۰ نمره

۳- با زبان VHDL تابعی (function) بنویسید که بررسی کند، آیا مقدار value در محدوده min و max هست یا خیر و در نهایت مقدار (value) را محدود شده به دو مقدار بالا و پائین برگرداند. ۱.۴۰ نمره

۴- توصیف یک D فلیپ فلاپ با ورودی کلاک را، به زبان VHDL بنویسید. ۱.۴۰ نمره

۵- چهار مورد از ابزارهای MAX + PLUS II را نام برده، توضیح دهید. ۱.۴۰ نمره

برنامه مربوط به سوال ۱۸

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
ENTITY    aaa  Is
GENERIC ( bits: INTEGER := B;
words: INTEGER := 16)
PORT ( clk, wr_ena: IN STD_LOGIC;
addr: IN INTEGER RANGE 0 To words-1;
bidir: INOUT sTniLoGlc_vEclor (bits-1 DCWNT0 0));
END ;
ARCHITECTURE bbb of aaa Is
TYPE vector array IS ARRAY (0 TO words-1) OF
STD_LOGIC_VECTOR (bits-1 DOWNT0 0);
SIGNAL memory: vector_array;
BEGIN
PROCESS (Clk, wr_ena)
BEGIN
    If (wr_ena='0') THEN
        bidir <= memory(addr);
    ELSE
```



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۱۵۲۱۳

```
bidir <= (OTHERS => 'z');  
IF (clk'event AND clk='1') THEN  
    Memory(array) <= bidir;  
END IF;  
ENE If;  
END PROCESS;  
END bbb;
```

برنامه مربوط به سوال ۲۰

```
entity xx is  
    port( xxin: in std_logic_vector(15 downto 0);  
          xxld: in std_logic;  
          dir_addr: out std_logic_vector(15 downto 0)  
          xxout: out std_logic_vector(15 downto 0)  
    );  
end xx;  
architecture behv of xx is  
begin  
    process(xxld, xxin)  
    begin  
        if xxld = '1' then  
            xxout <= xxin;  
            dir_addr <= "00000000" & IRin(7 downto 0);  
        end if;  
    end process;  
end behv;
```

برنامه مربوط به سوال ۲۱



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۵۲۱۳

```
component aaa is
port ( clock      :ln std_logic;
      rst       :ln std_logic;
      Mre       :ln std_logic;
      Mwe       :ln std_logic;
      Address    :ln std_logic_vector(7 downto 0);
      Data_in    :ln std_logic_vector(15 downto 0);
      Data_out   :out std_logic_vector(15 downto 0));
end Component;

signal  addr_bus,mdin_bus, mdout_bus, lnmd_bus, rfout_bus:
        std_logic_vector(15 downto 0);

signal  mem_addr: std_logic_vector(7 downto 0);

signal  RFwa_s, RFr1a_s, RFr2a_s:      std_logic_vector(3 downto 0);
signal  RFwe_s, RFr1e_s, RFr2e_s:      std_logic;
signal  ALUs_s, RFs_s: std_logic_vector(1 downto 0);
signal  IRld_s, PCld_s, PCinc_s, PCclr_s: std_logic;
signal  Mre_s, Mwe_s, jpz_s, oe_s,:    std_logic;

begin

    mem_addr <= addr_bus(7 downto 0);

    Unit0: ctrl_unit port map(cpu_clk, cpu_rst, PCld_s,
                             mdout_bus, rfout_bus, addr_bus,
                             immd_bus, RFs_s, RFwa_s, RFr1a_s,
                             RFr2a_s, RFwe_s, RFr1e_s, Rfr2e_s,
                             Jpz_s, ALU_s, Mre_s, Mwe_s, oo_s);

    unit1: datapath port map(cpu_clk, cpu_rst, immd_bus,
                             mdout_bus, RFs_s, RFwa_s, RFr1a_s,
                             RFr2a_s, RFwe_s, RFr1e_s, RFr2e_s,
```



زمان آزمون (دقیقه): ۶۰ :تستی: ۶۰ :تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ :تشریحی: ۵

عنوان درس: طراحی خودکار مدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۱۵۲۱۳

Unit2:

```
Jpz_s, ALU_s, oe_s, PCld_s, `
rfout_buS, mdin_bus, cpu_output);
port map(cpu_clk, cpu_rst, MRE_S,
Mwe_s, mem_addr, mdin_bus, mdout_bus);
```