



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

عنوان درس: طراحی سیستمهای VLSI

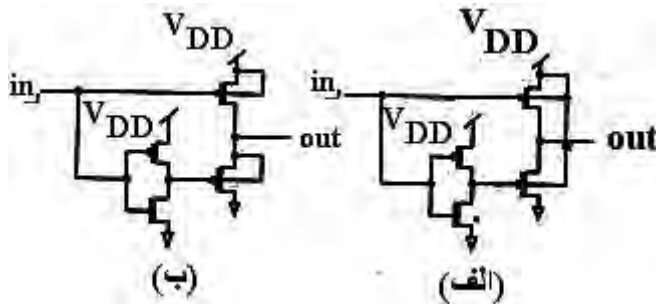
رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۵۲۰۵

استفاده از ماشین حساب ساده مجاز است

۱- کدام گزینه درست است؟

- ۰۱ بارآوری با افزایش اندازه die افزایش پیدا می کند.
 ۰۲ بارآوری با افزایش اندازه die کاهش پیدا می کند.
 ۰۳ بارآوری با افزایش اندازه die تقریباً ثابت می ماند.
 ۰۴ بارآوری از اندازه die مستقل است.

۲- دو وارونگر زیر را در نظر بگیرید (فرض کنید ترانزیستورهای PMOS در چاه های مجزا قرار گرفته اند). کدام گزینه درست است؟



۰۱ وارونگر (ب) بهتر از وارونگر (الف) است زیرا دارای V_{th} کمتری است.

۰۲ وارونگر (الف) بهتر از وارونگر (ب) است زیرا دارای V_{th} کمتری است.

۰۳ در وارونگر (ب) مشکل اثر بدنه وجود دارد ولی وارونگر (الف) دارای این مشکل نیست.

۰۴ در وارونگر (ب) مشکل اثر بدنه وجود دارد.

۳- فرض کنید وارونگری دارای ولتاژ آستانه ۱٫۷ ولت باشد. چنانچه پهنای کانال P بالابر این وارونگر را دو برابر سازیم آستانه سویچینگ جدید چه خواهد شد؟

- ۰۱ ۱٫۷ ولت
 ۰۲ بزرگتر از ۱٫۷ ولت
 ۰۳ کوچکتر از ۱٫۷ ولت
 ۰۴ با این داده ها نمیتوان حساب کرد.



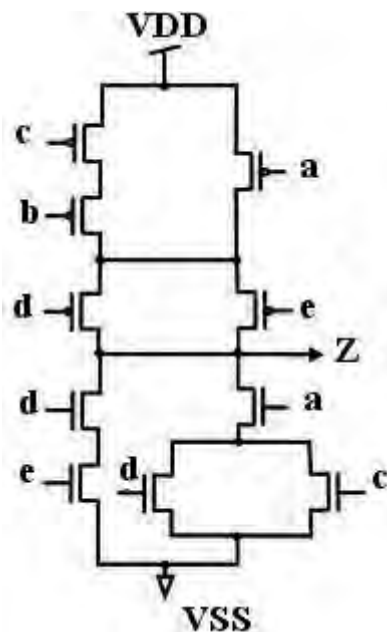
زمان آزمون (دقیقه): ۶۰: تستی: ۶۰: تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵: تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۲۰۵

۴- تابع مدار زیر چیست؟



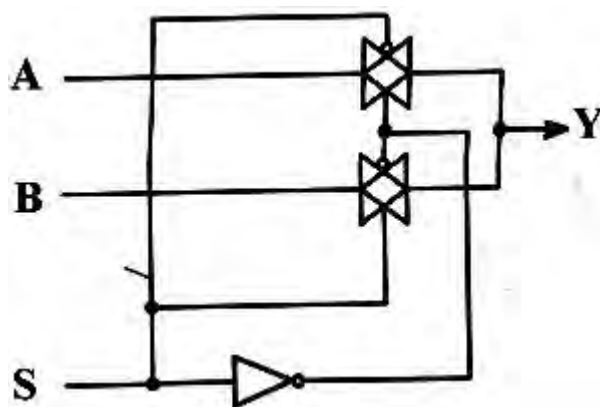
$$Z = \overline{a.(b+c) + (d.e)} \quad .2$$

$$Z = a.(b+c) + (d.e) \quad .1$$

$$Z = \overline{(a.b)c + d.e} \quad .4$$

$$Z = \overline{a.b + c.d.e} \quad .3$$

۵- مدار زیر چه منطقی را پیاده سازی می کند؟



۰۲. دیکدر ۲ به ۱

۰۱. منطق XOR

۰۴. منطق OR

۰۳. مالتی پلکسر ۲ به ۱



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۲۰۵

۶- برای یک ترانزیستور PMOS افزایشی داریم

$$V_s = 5v, V_G = 0v, \lambda = 0.02v^{-1}, V_{TH} = -1.5v, \mu_P C_{ox} W / L = 80 \mu A / v^2$$

کاری ترانزیستور به ازای $V_D = 0v$ چیست؟

۱. $0.53mA$ ، ناحیه تریودی
 ۲. $0.53mA$ ، ناحیه اشباع
 ۳. $1.06 mA$ ، ناحیه تریودی
 ۴. $1.06 mA$ ، ناحیه اشباع

۷- با دو برابر کردن پهنای همگی ترانزیستورها در گیت ایستای CMOS ، حاشیه نویز چه می شود؟

۱. تغییر نمی کند.
 ۲. نصف می شود.
 ۳. دو برابر می شود.
 ۴. چهار برابر می شود.

۸- کدام گزینه درست است؟

۱. برای کاهش تاخیر و افزایش سرعت در مدار وارونگر باید C_{load} بیشتر شود و نسبت W/L بزرگ انتخاب شود و V_{DD} بزرگ باشد.
 ۲. برای کاهش تاخیر و افزایش سرعت در مدار وارونگر باید C_{load} کم شود و نسبت W/L کوچک انتخاب شود و V_{DD} کوچک باشد.
 ۳. برای کاهش تاخیر و افزایش سرعت در مدار وارونگر باید C_{load} کم شود و نسبت W/L بزرگ انتخاب شود و V_{DD} بزرگ باشد.
 ۴. برای کاهش تاخیر و افزایش سرعت در مدار وارونگر باید C_{load} بیشتر شود و نسبت W/L کوچک انتخاب شود و V_{DD} کوچک باشد.



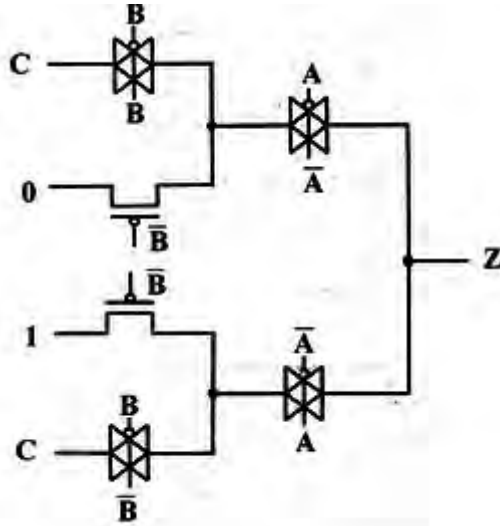
تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۱۵۲۰۵

۹- گیتهای انتقالی روبرو چه تابع منطقی را پیاده سازی می کنند؟



۰۲ $Z = \overline{A.B.C}$

۰۱ $Z = CA + \overline{BA} + CB$

۰۴ $Z = \overline{AB} + \overline{AC} + CB$

۰۳ $Z = B(\overline{CA} + A) + CA$

۱۰- کدام درست است؟

- ۰۱ ترانزیستور با پهناى بیشتر قابلیت جریان دهی کمتری دارد.
- ۰۲ منظور از ترانزیستور ضعیف یعنی آنکه مینیمم اندازه ممکن برای آن در نظر گرفته شده است.
- ۰۳ ترانزیستور پهنتر دارای ظرفیت خازنی کمتری در گیت خود می باشد.
- ۰۴ ترانزیستور پهن تر، مقاومت بیشتری را در مدل ترانزیستوری از خودشان می دهد.

۱۱- اگر ضخامت اکسید گیت را با ضریب ۳ کاهش دهیم، این کار چه تاثیری روی I_{DS} می گذارد؟

- ۰۱ I_{DS} با ضریب ۳ افزایش پیدا می کند.
- ۰۲ I_{DS} با ضریب ۳ کاهش پیدا می کند.
- ۰۳ I_{DS} با ضریب ۶ کاهش پیدا می کند.
- ۰۴ ضخامت اکسید گیت و I_{DS} از یکدیگر مستقلند.

۱۲- یک گیت انتقالی CMOS با $K'(W/L) = 100 \mu A/V^2$ ، $|V_{TH}| = 1V$ و سیگنالهای کنترلی $6V$ ، $-6V$

کار می کند. سیگنال ورودی در محدوده ۰ تا ۶ولت تغییر می کند. مقاومت سوئیچ به ازای مقادیر حدی چقدر است؟

۰۴ $3.33k\Omega$

۰۳ $1k\Omega$

۰۲ $0.8k\Omega$

۰۱ $1.25k\Omega$



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۲۰۵

۱۳- یک وارونگر CMOS باری به ظرفیت 100fF را درایو می کند. وارونگر دارای ترانزیستورهای PMOS و NMOS با مینیمم اندازه است. با فرض چشم پوشی از خازنهای پارازیتی تاخیرهای انتشار برای ورودی پالس مربعی (زمان شیب خیز و افت برابر با صفر است) کدامند؟ فرض کنید مقاومت حالت روشن مقاومت NMOS برابر با $5.7\text{k}\Omega$ است؟

$$\tau_{\text{pHL}} = \tau_{\text{pLH}} = 393\text{ps} \quad .2$$

$$\tau_{\text{pHL}} = \tau_{\text{pLH}} = 1179\text{ps} \quad .1$$

$$\tau_{\text{pHL}} = 397\text{ps}, \tau_{\text{pLH}} = 1179\text{ps} \quad .4$$

$$\tau_{\text{pHL}} = 393\text{ps}, \tau_{\text{pLH}} = 3\text{ns} \quad .3$$

۱۴- کدام گزینه درست است؟

۱. یک تماس میتواند برای اتصال نفوذ n و نفوذ p به کار رود.
۲. یک تماس می تواند برای اتصال نفوذ و فلز یک استفاده شود.
۳. یک via میتواند برای اتصال پلی سیلیکون و فلز دو به کار رود.
۴. ترانزیستورهای NMOS باید در یک زیر لایه نوع p یا چاه p قرار گیرند که آن V_{DD} اتصال پیدا می کند.



زمان آزمون (دقیقه): ۶۰: تستی: ۶۰: تشریحی: ۶۰

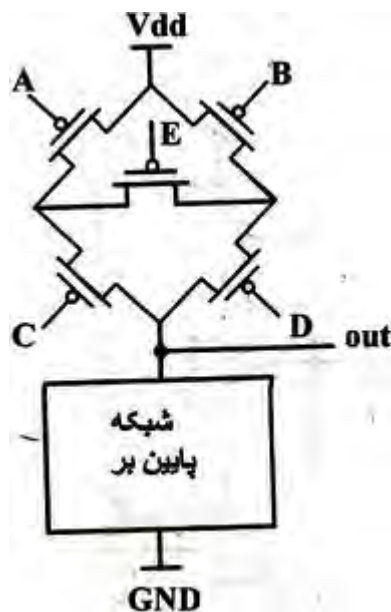
تعداد سوالات: تستی: ۲۵: تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/ کد درس: مهندسی کامپیوتر (سخت افزار) چندبخشی ۱۱۵۲۰۵

۱۵-

با توجه به گیت منطقی زیر، کدام گزینه صحیح می باشد ؟



۲. $\overline{out} = AB + AED + BEC + CD$

۱. $out = \overline{A}\overline{C} + \overline{B}\overline{D} + \overline{E}$

۴. $out = (A+C).(A+E+D).(B+D).(B+E+C)$

۳. $out = (\overline{A}\overline{B}) + \overline{E} + (\overline{C}\overline{D})$

۱۶- در یک ترانزیستور MOSFET کانال n با $K'_n = 50 \mu A / V^2$, $V_{TH} = 0.8v$, $W/L = 20$ به عنوان سویچ

با V_{DS} کوچک به کار می رود. ولتاژ کنترلی V_{GS} بین ۰ تا ۵ ولت است. به ازای

$V_{GS} = 5v$, $I_D \cong 1mA$, V_{DS} چقدر است؟

۴. 0.815v

۳. 2.45v

۲. 8.15v

۱. 0.245v

۱۷- در یک گیت NOR پنج ورودی CMOS در صورتی که بخواهیم زمان های بالا رونده و پایین رونده با هم مساوی باشند،

اندازه های ترانزیستورها چیست؟ (کوچکترین اندازه ترانزیستور را برابر با 3λ و $\mu_n = 2\mu_p$)

۲. $W_nMOS = 3\lambda$, $W_pMOS = 15\lambda$

۱. $W_nMOS = 3\lambda$, $W_pMOS = 30\lambda$

۴. $W_nMOS = 15\lambda$, $W_pMOS = 6\lambda$

۳. $W_nMOS = W_pMOS = 15\lambda$



تعداد سوالات: تستی: ۲۵ تشریحی: ۵

زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۵۲۰۵

۱۸- وارونگری با بار مقاومتی و مشخصات زیر در نظر بگیرید.

$$V_{DD} = 5v, K'_n = 20 \mu A / v^2, V_{TH} = 0.8v, R_L = 200k\Omega, W / L = 2$$

مقادیر V_{OL}, V_{IL}, NM_H به ترتیب کدامند؟

۱. ۰,۷۸۷ و ۰,۹۳۷ و ۰,۱۵۷
۲. ۰,۳۰۳۷ و ۰,۷۸۷ و ۰,۹۷۷
۳. ۰,۷۸۷ و ۰,۱۵۷ و ۰,۹۷۷
۴. ۰,۳۰۳۷ و ۰,۹۳۷ و ۰,۱۵۷

۱۹- کدام گزینه در مورد معنای گیت AOI-212 صحیح می باشد؟

۱. این ساختار دارای دو حاصل جمع دو ورودی و یک حاصل ضرب تک ورودی است.
۲. این ساختار دارای دو حاصل ضرب دو ورودی و یک حاصل ضرب تک ورودی است.
۳. این ساختار دارای دو حاصل ضرب یک ورودی و یک حاصل جمع تک ورودی است.
۴. این ساختار دارای یک حاصل جمع دو ورودی و یک حاصل ضرب تک ورودی است.

۲۰- فرض کنید قوانین طراحی به صورت زیر باشد.

- اندازه تماس $0.5\mu \times 0.5\mu$

- فاصله تماس تا لبه ناحیه فعال 0.4μ

- فاصله تماس تا لبه پلی 0.5μ

- حداقل پهنای ناحیه فعال: 0.8μ

برای ترانزیستوری به پهنای 2μ که درین آن با فلز تماس پیدا کرده مینیمم مساحت درین چقدر است؟

۱. $2.8\mu^2$ ۲. $2\mu^2$ ۳. $4\mu^2$ ۴. $1.6\mu^2$

۲۱- کدام گزینه درست است؟

۱. به کار گیری منطق BiMOS برای مدارهای I/O و مدارهای محرک مناسب به نظر نمی رسد.
۲. فرایند ساخت BiCMOS آسانتر از فرایند مشابه CMOS است.
۳. استفاده از گیتهای BiCMOS میتواند روش موثری در بالا بردن سرعت مدارهای VLSI باشد.
۴. استفاده از BiCMOS در سیستمهایی مانند ROM ، ALU رجیستر فایل راه موثری برای بهبود سرعت اینگونه مدارها است.



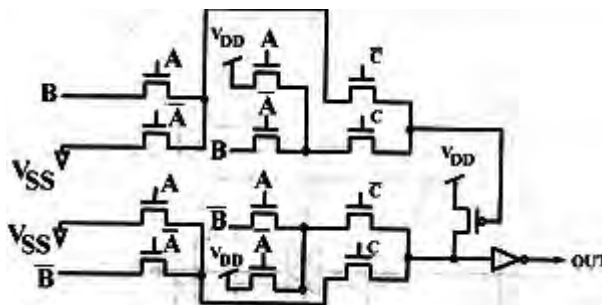
زمان آزمون (دقیقه): تستی: ۶۰: تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵: تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۲۰۵

۲۲- تابع خروجی مدار زیر کدام است؟



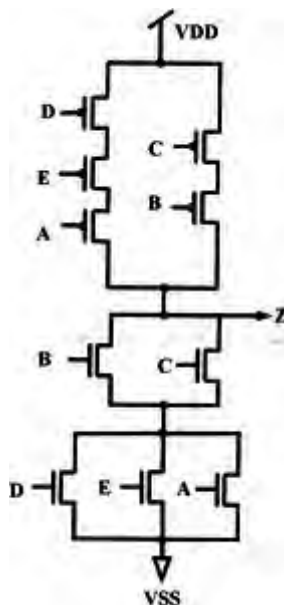
۲. $out = ABC\bar{C} + C(A + B\bar{A})$

۴. $out = (A \oplus B).C$

۱. $out = A.B.C + \bar{A}.\bar{B}.\bar{C}$

۳. $out = A \oplus B \oplus C$

۲۳- تابع منطقی مدار زیر کدام است؟



۲. $D.E.A + B.C$

۴. $\overline{(D+E+A).(B+C)}$

۱. $A.B.C.D.E$

۳. $A + B + C + D + \bar{E}$

۲۴- در یک MOSFET افزایش کانال n مقدار ولتاژ V_{ds} با رابطه $(V_{GS} - V_{TH})(1 - \sqrt{1 - \alpha})$ بیان میشود. به ازای

چه مقداری از α ترانزیستور در ناحیه تریودی عمل میکند؟

۴. $\alpha = 0.1$

۳. $\alpha = 0.5$

۲. $\alpha \leq 1$

۱. $1 \leq \alpha$

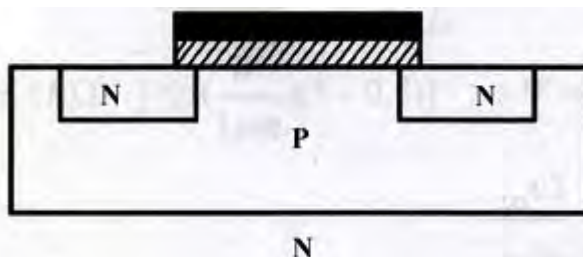
زمان آزمون (دقیقه): ۶۰ : تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ : تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/ کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۲۰۵

۲۵- شکل زیر نمای مقطعی یک MOSFET را نمایش می دهد. کدام گزینه در مورد این شکل صحیح است؟



۴ . pFET در چاه p

۳ . nFET در چاه p

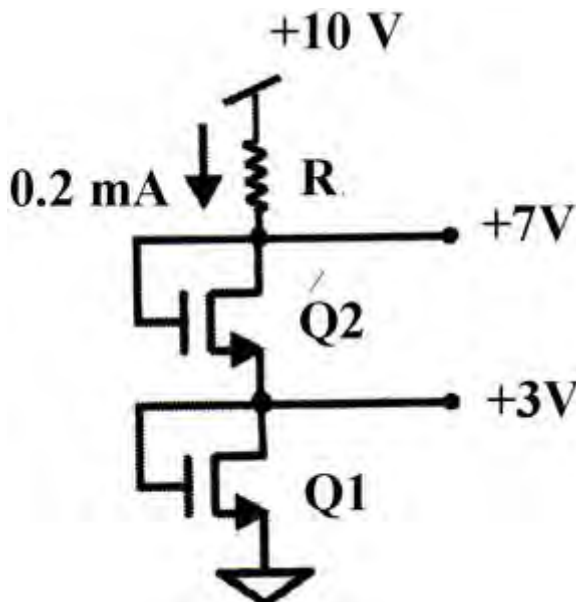
۲ . pFET در چاه n

۱ . nFET در چاه n

سوالات تشریحی

۱۴۰ نمره

۱- برای ترانزیستورهای NMOS شکل زیر داریم:



$$L1 = L2 = 1\mu\text{m}, \lambda = 0, \mu_n C_{ox} = 20\mu\text{A}/\text{v}^2, V_{TH} = 2\text{v}$$

برای داشتن ولتاژهای مشخص شده در شکل، عرض Q_1 و Q_2 و مقاومت R را محاسبه کنید؟



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

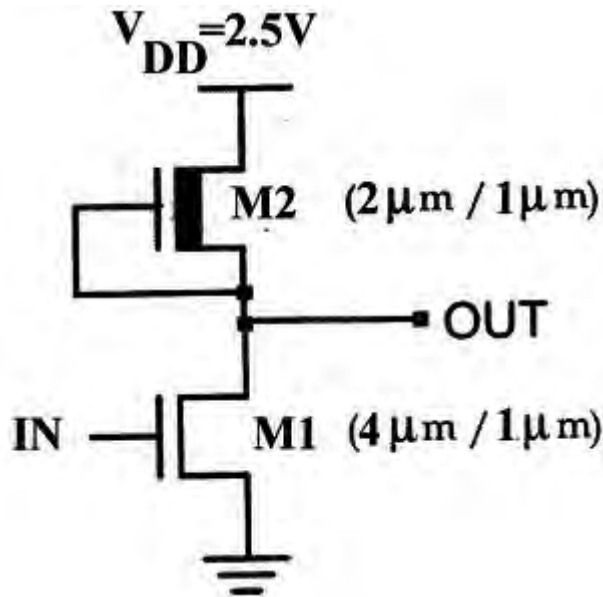
عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۵۲۰۵

نمره ۱.۴۰

۲- مدار شکل زیر در نظر بگیرید. فرض کنید ورودی IN دارای تغییرات ولتاژ صفر تا ۲.۵ ولت باشد.

$$K'_{n,d} = K'_{n,l} = 115 \mu A / V^2, V_{TH,n1} = 0.4V, V_{TH,n2} = -0.7V$$



الف) چنانچه $V_{IN} = 0V$ باشد ولتاژ خروجی چند ولت است؟ در حالت پایدار ناحیه عملیاتی ترانزیستور M2 برای چنین ورودی چیست؟

ب) ولتاژ خروجی را برای $V_{IN} = 2.5V$ محاسبه کنید. برای این ورودی در حالت پایدار ناحیه عملیاتی M2 چیست؟

ج) فرض کنید احتمال اینکه $V_{IN} = 0V$ باشد برابر 0.3 است ($\text{prob}(IN=0) = 0.3$) متوسط توان مصرفی ایستا را برای این مدار حساب کنید؟

نمره ۱.۴۰

۳- مزایای وارونگر با بار تخلیه ای نسبت به وارونگر با بار مقاومتی را توضیح دهید؟

نمره ۱.۴۰

۴- تابع منطقی $f = A1A2A3 + B1B2 + C1C2C3$ را به وسیله منطق CMOS پیاده سازی کنید؟



زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰

تعداد سوالات: تستی: ۲۵ تشریحی: ۵

عنوان درس: طراحی سیستمهای VLSI

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار) چندبخشی ۱۱۱۵۲۰۵

۱۴۰ نمره

۵- تابع منطقی نمودار میله ای زیر چیست؟

