



زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

استفاده از ماشین حساب ساده مجاز است

۱- دیود شاتکی به صورت پیوند شکل می-گیرد.

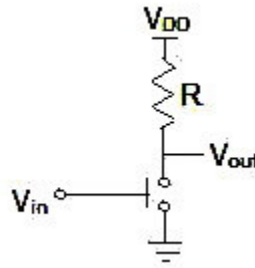
۱. فلز به نیمه هادی

۲. دیود به ترانزیستور

۳. بیس به کلکتور

۴. دیود به ترانزیستور و بیس به کلکتور

۲- در معکوس کننده پایه شکل زیر با فرض مقاومت کلید در حال وصل برابر R_{on} ، مقدار ولتاژ خروجی زمانی که ورودی در سطح High قرار دارد چقدر است؟



۲. صفر

۱. $\frac{R_{on}}{R_{on} + R} \times V_{DD}$

۴. V_{DD}

۳. $\frac{R}{R_{on} + R} \times V_{DD}$

۳- در کدام یک از خانواده های دیجیتال زیر، ترکیبی از دو نوع ترانزیستور CMOS و دوقطبی در مدارات وجود دارد؟

۴. ECL

۳. BICMOS

۲. CMOS

۱. NMOS



زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۴- کدام یک از گزینه های زیر با توجه به ورودیهای X و Y در مورد خروجیهای M و N صحیح است؟

X: 0 0 1 1 1 0 0

Y: 0 0 0 1 0 0 0

M: 0 0 0 1 0 0 0

N: 0 0 1 1 1 0 0

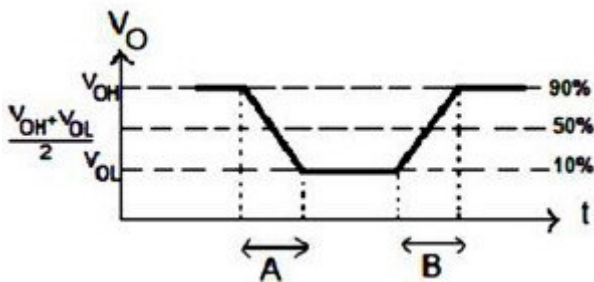
۱. $M=OR: X.Y$ و $N=AND: X+Y$

۲. $M=AND: X.Y$ و $N=OR: X+Y$

۳. $M=OR: X+Y$ و $N=AND: X.Y$

۴. $M=AND: X+Y$ و $N=OR: X.Y$

۵- با توجه به نمودار مقابل کدام یک از گزینه های زیر در مورد A و B صحیح است؟



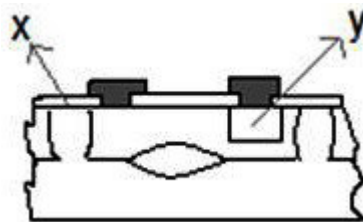
۱. A: زمان نزول و B: t_{TLH}

۲. A: زمان نزول و B: زمان صعود

۳. A: t_{THL} و B: t_{TLH}

۴. A: زمان صعود و B: t_{THL}

۶- اگر مدار شکل زیر برشی از یک دیود شاتکی باشد، کدام یک از گزینه های زیر به ترتیب به جای X و Y قرار می گیرند؟



۱. N^+, SiO_2

۲. P^+, SO_2

۳. P^+ و SiO_2

۴. N^+, SO_2



تعداد سوالات: تستی: ۳۰ تشریحی: ۰

زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۷- جریان دیود زمانی که $V_D < 0$ باشد برابر است با:

۰۱. صفر ۰۲. I_S ۰۳. $-I_S$ ۰۴. باید مقادیر داده شود.

۸- جریان اشباع معکوس یک دیود PN معمولاً چقدر است؟

۰۱. کمتر از یک پیکو آمپر ۰۲. کمتر از یک میکرو آمپر
۰۳. بیشتر از یک پیکو آمپر ۰۴. بیشتر از صد پیکو آمپر

۹- در MOSFET کانال P ولتاژ آستانه V_t است و برای القا کردن کانال ولتاژی به گیت اعمال می کنیم که باشد و V_{SD} است.

۰۱. منفی، $V_{GS} \geq V_t$ ، منفی ۰۲. مثبت، $V_{GS} \geq V_t$ ، مثبت
۰۳. مثبت، $V_{GS} \leq V_t$ ، منفی ۰۴. منفی، $V_{GS} \leq V_t$ ، مثبت

۱۰- در ناحیه خطی PMOS است.

۰۱. $V_{DS} < V_{GS} - V_t$ ۰۲. $V_{DS} \geq V_{GS} - V_t$
۰۳. $V_{SD} \geq V_{GS} - V_t$ ۰۴. $V_{SD} > V_{GS} + V_t$

۱۱- جریان در ناحیه اشباع ترانزیستور PMOS چه رابطه ای با ولتاژ گیت سورس دارد؟

۰۱. با $(V_{GS} - V_t)$ متناسب است. ۰۲. با $(V_{GS} - V_t)^2$ متناسب است.
۰۳. با $(V_{GS} + V_t)^2$ متناسب است. ۰۴. با $(V_{GS} + V_t)$ متناسب است.

۱۲- اگر در نسبت $\frac{W}{L}$ K_P را در مقایسه با K_n ثابت فرض کنیم آنگاه

۰۱. $K_p = K_n$ ، $\mu_p = \mu_n$ ۰۲. $K_n < K_p$ ، $\mu_n < \mu_p$ ۰۳. $K_p < K_n$ ، $\mu_n = 2.5\mu_p$ ۰۴. $K_p < K_n$ ، $\mu_n < \mu_p$



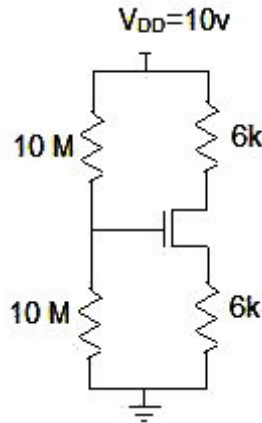
زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۱۳- در مدار شکل زیر ولتاژ V_{GS} چقدر است؟ (فرض کنید $V_t = 1V$ و $K_n/2 = 0.5mA/V^2$ و از اثر مدوله سازی طول کانال صرف نظر کنید)



۰۴ . 3V

۰۳ . 2V

۰۲ . 5V

۰۱ . 1V

۱۴- ساختار MOSFET تخلیه ای شبیه MOSFET افزایشی است با این تفاوت که

۰۱ . فاقد کانال است.

۰۲ . کانال در آن کوچک است.

۰۳ . از ابتدا کانال در آن تعبیه شده است.

۰۴ . کانال در آن بزرگ است.

۱۵- در مدارهای مجتمع برای کم کردن اثر زیرلایه در PMOS چه کاری انجام می شود؟

۰۱ . زیرلایه به درین وصل می شود.

۰۲ . پایه زیرلایه باز گذاشته می شود.

۰۳ . زیرلایه به مثبت ترین تغذیه مدار وصل می شود.

۰۴ . زیرلایه به منفی ترین تغذیه مدار وصل می شود.

۱۶- کدام یک از موارد زیر باعث محدود شدن سرعت گیت TTL استاندارد می شود؟

۰۱ . جلوگیری از اشباع ترانزیستورها

۰۲ . کم بودن مقدار خازنهای مدار

۰۳ . کم بودن مقدار مقاومتها

۰۴ . اشباع ترانزیستورها

۱۷- کدام یک از مدارات زیر به مفهوم دنبالگر امیتر است؟

۰۱ . امیتر مشترک

۰۲ . معکوس کننده

۰۳ . کلکتور مشترک

۰۴ . بیس مشترک



زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۱۸- در TTL شاتکی با قراردادن با بین بیس و کلکتور از به اشباع رفتن ترانزیستور جلوگیری می شود.

۱. ترانزیستور_ افزایش ولتاژ
۲. دیود_ افزایش ولتاژ
۳. دیود_ افت ولتاژ کم
۴. ترانزیستور_ افت ولتاژ کم

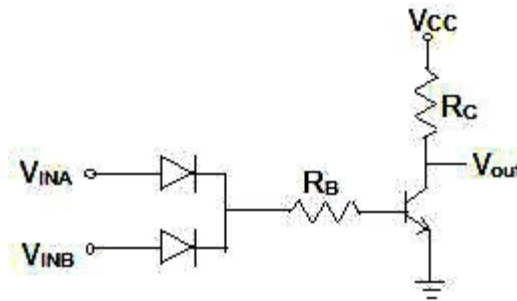
۱۹- افت ولتاژ مستقیم دیود شاتکی چه قدر است؟

۱. 0.1 ولت
۲. ۱۰ ولت
۳. 0.5 ولت
۴. ۱۵ ولت

۲۰- یکی از ویژگی های دیود شاتکی چیست؟

۱. ساخت دیودهای شاتکی دشوار است.
۲. افت ولتاژ مستقیم شاتکی زیاد است.
۳. دیودهای شاتکی سطح تراشه را افزایش نمیدهند.
۴. فضای زیادی اشغال می کنند.

۲۱- مدار شکل زیر مانند چه گیتی عمل می کند؟



۱. NAND
۲. AND
۳. NOR
۴. OR

۲۲- ترانزیستور شاتکی چه وقت شروع به هدایت می کند؟

۱. وقتی بیس کلکتور معکوس باشد.
۲. وقتی V_{BE} برابر ۰،۵ ولت باشد.
۳. وقتی V_{BE} در حدود 0.1 ولت باشد.
۴. وقتی V_{BE} در حدود 0.7 ولت باشد.

۲۳- در یک گیت NAND از نوع TTL شاتکی، با کاهش مقدار مقاومتها چه اتفاقی رخ می دهد؟

۱. افزایش زمان تاخیر
۲. کاهش سرعت
۳. کاهش اتلاف توان
۴. افزایش اتلاف توان



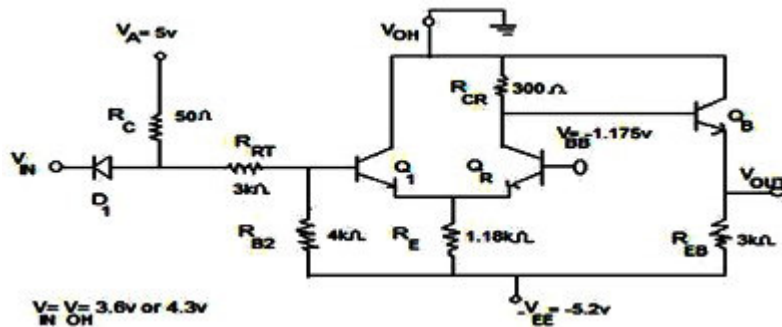
تعداد سوالات: تستی: ۳۰: تشریحی: ۰

زمان آزمون (دقیقه): تستی: ۱۰۰: تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) (۱۵۱۱۰۰۵)

۲۴- در مدار شکل زیر، ولتاژ بیس ترانزیستور Q_1 چقدر است؟



۰.۴ ۷

۰.۳ 0.23

۰.۲ 5.2

۰.۱ 0.4

۲۵- در میان خانواده های منطقی زیر کدام یک بیشترین سرعت را دارد؟

۰.۲ MECL

۰.۱ LSTTL

۰.۴ TTL

۰.۳ CMOS

۲۶- در قسمت حافظه سیستم دیجیتال، از کدام منطق زیر می توان استفاده کرد؟

۰.۴ TTL

۰.۳ ASTTL

۰.۲ CMOS

۰.۱ STTL

۲۷- وقتی خروجی STTL به ورودی CMOS وصل شود، مدار واسطی که شامل باشد لازم است.

۰.۲ دو مقاومت بالابر

۰.۱ یک مقاومت پایین بر

۰.۴ یک مقاومت بالابر

۰.۳ دو مقاومت پایین بر

۲۸- چه زمانی اتصال مستقیم CMOS به STTL امکانپذیر است؟

۰.۲ ورودی STTL در سطح پایین باشد.

۰.۱ خروجی CMOS در سطح بالا باشد.

۰.۴ ورودی CMOS در سطح بالا باشد.

۰.۳ خروجی STTL در سطح بالا باشد.

۲۹- اگر فرکانس کلاک در گیتی بیشتر باشد، یعنی:

۰.۲ سرعت گیت کمتر است.

۰.۱ تاخیر انتشاری بیشتر است.

۰.۴ فرکانس کلاک با سرعت گیت ارتباطی ندارد.

۰.۳ تاخیر انتشاری کمتر است.



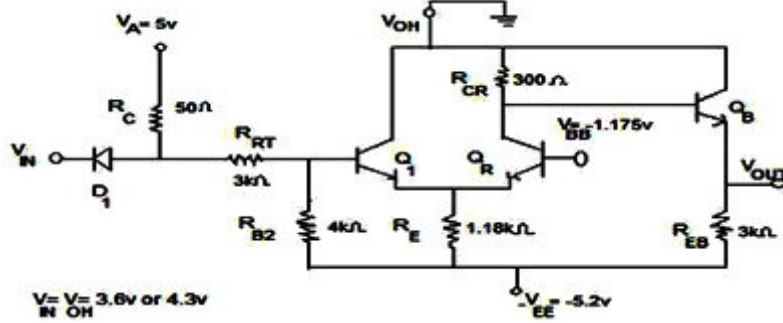
زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۳۰- این شکل مربوط به کدام مبدل است؟



۲. CMOS به ECL

۱. ECL به STTL

۴. STTL به CMOS

۳. STTL به ECL

الڪٽرونيڪ ڊيجيٽال نيمسال دوم ۹۱-۹۲

الف	1
الف	2
ج	3
ب.ب	4
د	5
الف	6
ج	7
الف	8
د	9
ب.ب	10
ب.ب	11
ج	12
ج	13
ج	14
ج	15
د	16
ج	17
ج	18
ج	19
ج	20
ج	21
د	22
د	23
ج	24
ب.ب	25
ب.ب	26
د	27
الف	28
ج	29
ج	30