



تعداد سوالات: تستی: ۳۰ تشریحی: ۰

زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

استفاده از ماشین حساب ساده، ماشین حساب مهندسی مجاز است

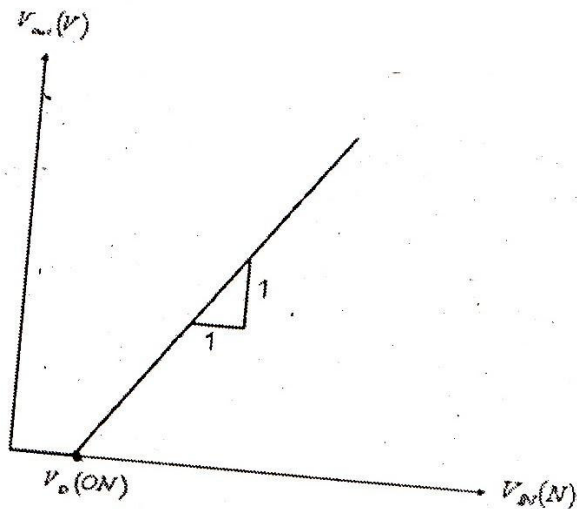
۱- کدام گزینه صحیح است؟

- ۰.۱ در نیمه هادی نوع  $n$ ، الکترون ها بعنوان حاملهای اقلیت هستند.
- ۰.۲ در نیمه هادی نوع  $p$ ، حفره ها بعنوان حاملهای اقلیت هستند.
- ۰.۳ در نیمه هادی نوع  $n$ ، الکترون ها بعنوان حاملهای اکثریت هستند.
- ۰.۴ در نیمه هادی نوع  $p$ ، الکترون ها بعنوان حاملهای اکثریت هستند.

۲- برای یک دیود در بایاس مستقیم، کدام حالت برقرار نیست؟

- ۰.۱ ولتاژ مثبت  $V_D$  به  $p$  اعمال می شود.
- ۰.۲ از دیود جریان عبور می کند.
- ۰.۳ عرض ناحیه تخلیه افزایش می یابد.
- ۰.۴ جریان های مربوط به حاملهای اکثریت در طول پیوند افزایش می یابد.

۳- مشخصه انتقالی ولتاژ رسم شده مربوط به کدام گیت است؟



- ۰.۱ گیت OR دیودی
- ۰.۲ گیت OR دیودی که سطح آن منتقل شده است.
- ۰.۳ گیت AND دیودی
- ۰.۴ گیت AND دیودی که سطح آن منتقل شده است.

۴- MOSFET بصورت مقاومت خطی عمل می کند که مقدار این مقاومت توسط ولتاژ معرفی شده در کدام گزینه کنترل می شود؟

- ۰.۱  $V_i$
- ۰.۲  $V_{GS}$
- ۰.۳  $V_{GD}$
- ۰.۴  $V_{DS}$



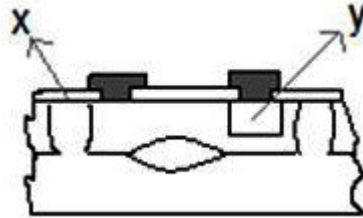
زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۵- اگر مدار شکل زیر برشی از یک دیود شاتکی باشد، کدام یک از گزینه های زیر به ترتیب به جای X و Y قرار می گیرند؟



۰۴.  $N^+, SiO_2$

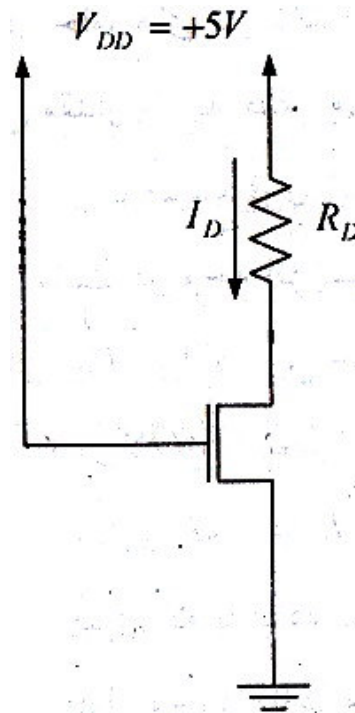
۰۳.  $P^+, SiO_2$

۰۲.  $P^+$  و  $SiO_2$

۰۱.  $N^+, SiO_2$

۶- با توجه به شکل داده شده، مقاومت بین درین و سورس در نقطه کار چقدر است؟

$$(V_D = 0.1V, V_t = 1V, K_n = 0.5mA/V^2)$$



۰۴. ۲۳۵ اهم

۰۳. ۳۹۵ اهم

۰۲. ۲۳۵ کیلو اهم

۰۱. ۳۹۵ کیلو اهم

۷- برای یک MOSFET در کدام ناحیه، ولتاژ درین-سورس بصورت توانی از مرتبه ۲ ظاهر می شود؟

۰۲. ناحیه اشباع

۰۱. ناحیه تریودی

۰۴. بسته به نوع کانال هر ناحیه ای میتواند باشد.

۰۳. هر دو ناحیه اشباع و تریودی

۸- در MOSFET نوع p با کانال القا شده کدامیک از مشخصه های زیر مشهود است؟

۰۲. ولتاژگیت سورس مثبت تر از ولتاژ آستانه

۰۱. ولتاژ آستانه مثبت

۰۴. عدم استفاده در حافظه های دیجیتال

۰۳. ولتاژدرین سورس منفی

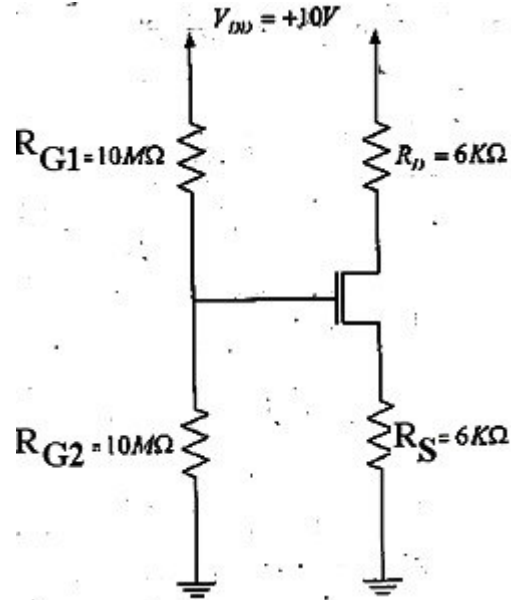
زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۹- در مدار داده شده، مقدار جریان درین چند میلی آمپر است؟ ( $V_t = 1V, K_n = 0.5mA/V^2$ )



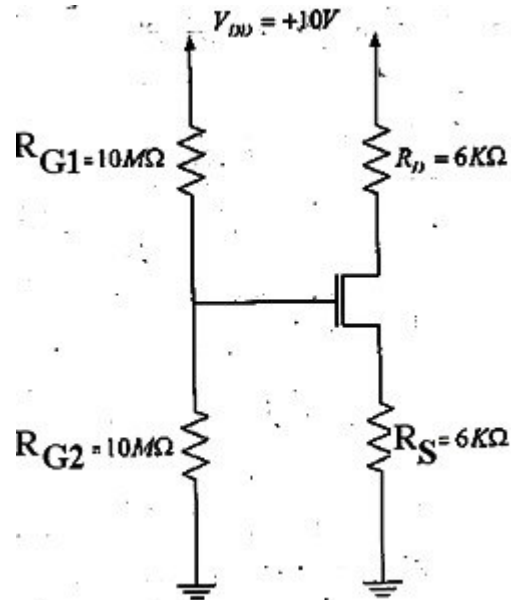
۰/۵ .۴

۰/۰۵ .۳

۰/۰۰۵ .۲

۰/۰۰۰۵ .۱

۱۰- در مدار زیر مقدار ولتاژ سورس چند ولت است؟ ( $V_t = 1V, K_n = 0.5mA/V^2$ )



۱ .۴

۲ .۳

۳ .۲

۴ .۱

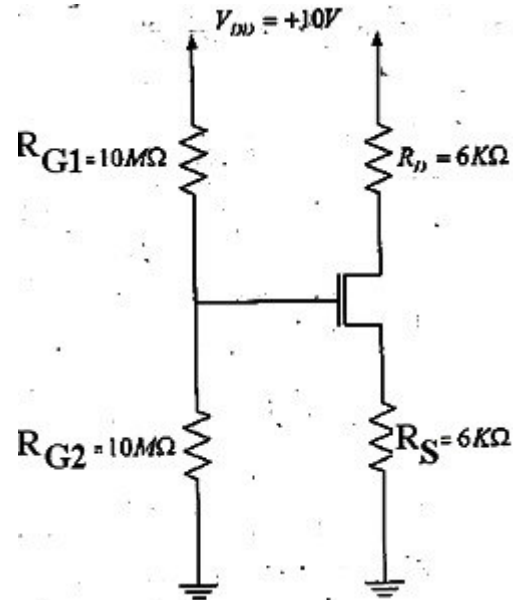
زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۱۱- با توجه به مدار ارائه شده، ولتاژ گیت چند ولت است؟



۲.۴

۳.۳

۴.۲

۵.۱

۱۲- کدام گزینه صحیح نیست؟

۱. منطق ECL بعد از گالیم آرسناید سریعترین خانواده مدار منطقی است.
۲. ECL نسبت به TTL دارای سرعت سوئیچینگ بالاتر است.
۳. ECL همان منطق تزویج امیتری است.
۴. ECL نسبت به TTL دارای ظرفیت خروجی کمتر می باشد.



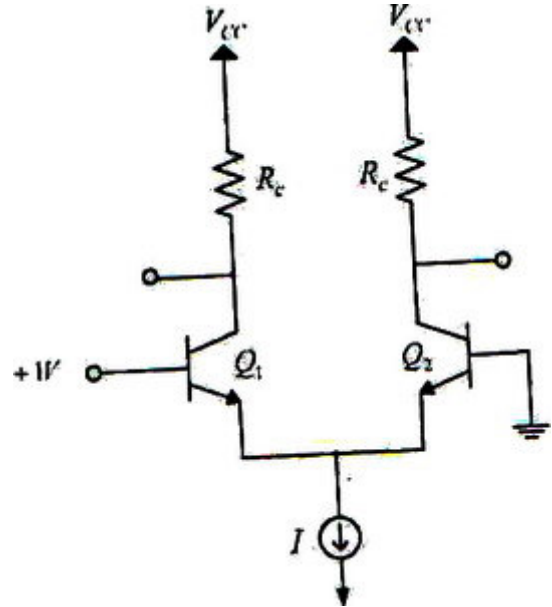
زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۱۳- با توجه به شکل داده شده، کدام گزینه صحیح است؟



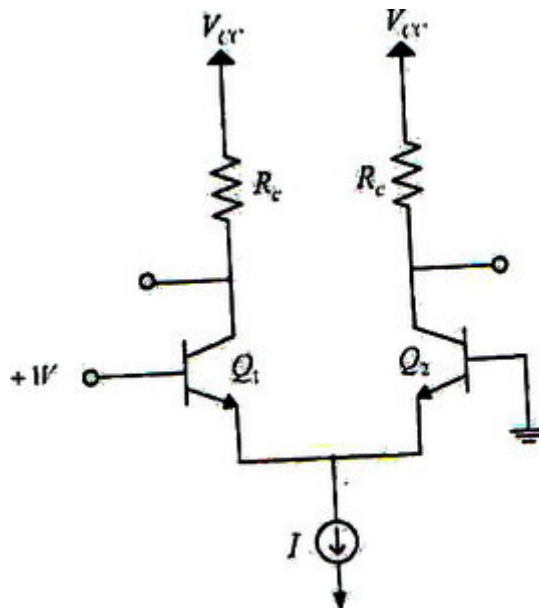
۰۲ هر دو ترانزیستور قطع هستند.

۰۱ هر دو ترانزیستور وصل هستند.

۰۴  $Q_1$  قطع است.

۰۳  $Q_1$  وصل است.

۱۴- در شکل زیر ولتاژ آمیتر چند ولت است؟



۰۴ 0.3v

۰۳ 0

۰۲ -0.3v

۰۱ -0.7v



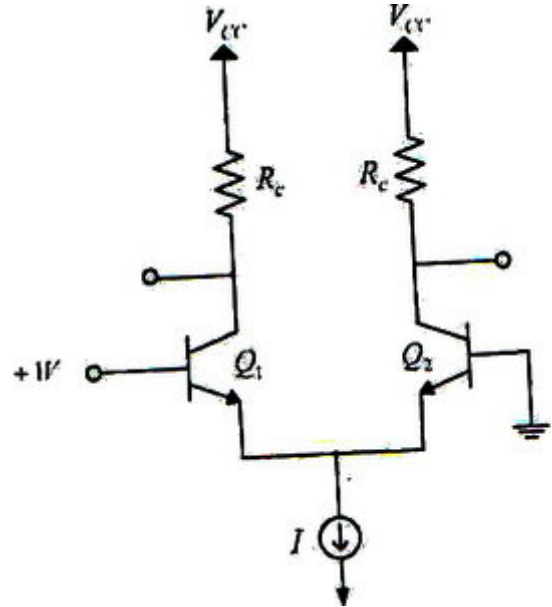
زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۱۵- در شکل زیر اگر بخواهیم ترانزیستور اول قطع شود. ولتاژ بیس ترانزیستور اول را باید چند اختیار کرد؟



۳V .۴

2V .۳

-1V .۲

1V .۱

۱۶- برای افزایش سرعت TTL کدام امر صورت نمی پذیرد؟

۱. از اشباع ترانزیستورها جلوگیری نمی شود.
۲. از اشباع ترانزیستورها جلوگیری می شود.
۳. بین بیس و کلکتور، دیود شاتکی گذاشته می شود.
۴. دیود شاتکی بخشی از جریان تحریک بیس BJT را از خود عبور می دهد.

۱۷- برای بهینه کردن گیت ECL، این گیت را چگونه طراحی میکنند؟

۱. بگونه ای طراحی میشود که حاشیه های نویز بالا و پایین در آن منفی باشند.
۲. بگونه ای طراحی میشود که مقدار حاشیه نویز بالا کمتر از حاشیه نویز پایین باشد.
۳. بگونه ای طراحی میشود که مقدار حاشیه نویز بالا بیشتر از حاشیه نویز پایین باشد.
۴. بگونه ای طراحی میشود که حاشیه های نویز بالا و پایین در آن برابر باشند.



زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۱۸- گزینه نادرست را مشخص کنید؟

۱. در منطق ECL با جلوگیری از اشباع ترانزیستورها به سرعت زیاد دست می یابیم.
۲. در منطق ECL با به اشباع بردن ترانزیستورها به سرعت زیاد دست می یابیم.
۳. در منطق ECL با بکارگیری نوسان های منطقی کوچک به سرعت زیاد دست می یابیم.
۴. با اتصال خروجی گیت های ECL تابع OR مرکب بدست می آید.

۱۹- در مقایسه زیر خانواده LSTTL و TTL کدام گزینه برقرار است؟

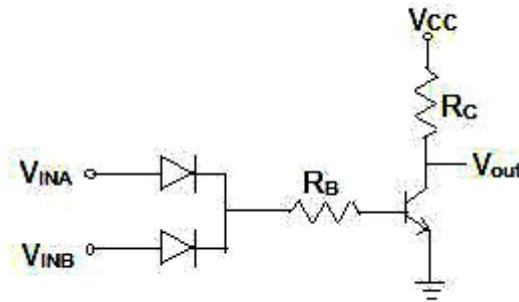
۱. مقدار جریان LSTTL بیشتر از TTL است.
۲. مصرف توان LSTTL بیشتر از TTL است.
۳. مقدار جریان LSTTL تقریباً ۵ برابر TTL است.
۴. مصرف توان LSTTL کمتر از TTL است.

۲۰- ظرفیت خروجی گیتی که دارای مشخصات زیر باشد در کدام گزینه آمده است؟

$$I_{in}(L) = 10A, I_{out}(L) = 50A, I_{in}(H) = 20A, I_{out}(H) = 100A$$

۱. ۵      ۲. ۱۰      ۳. ۵۰۰      ۴. ۰/۵

۲۱- مدار شکل زیر مانند چه گیتی عمل می کند؟



۱. NAND      ۲. AND      ۳. NOR      ۴. OR

۲۲- جریان عبور دیود در حالت مستقیم، اگر  $I_s = 100A$  و  $V_D = 10V$  باشد، را بدست آورید؟

۱.  $I_D = 100(e^{0.4} - 1)$       ۲.  $I_D = 10(e^{400} - 1)$       ۳.  $I_D = 100(e^{400} - 1)$       ۴.  $I_D = 10(e^{0.4} - 1)$



زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۲۳- گزینه نادرست کدام است؟

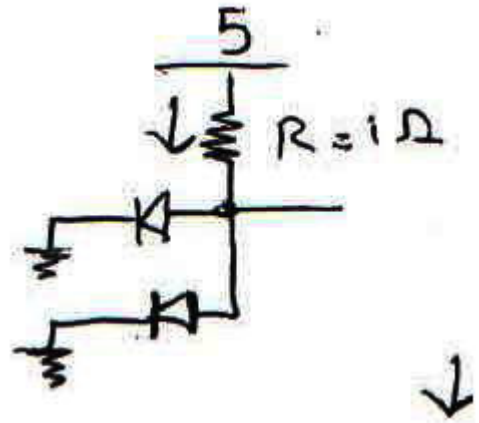
۱. زمان صعود، زمان رسیدن ورودی از ۱۰ درصد به ۹۰ درصد مقدار نهایی خود می باشد.

۲. زمان نزول، زمان رسیدن ورودی از ۹۰ درصد به ۱۰ درصد مقدار نهایی خود می باشد.

۳.  $NML = V_{OL} - V_{IL}$

۴.  $NMH = V_{OH} - V_{IH}$

۲۴- در شکل داده شده  $I_R$  کدام است؟



۰ . ۴

۰/۷ . ۳

۴/۳ . ۲

۵ . ۱

۲۵- در مورد ترانزیستور PMOS کدام گزینه درست نیست؟

۱. PMOS کندتر از NMOS است.

۲. در نوع افزایشی آن ولتاژ آستانه منفی است.

۳. حامل اکثریت در کانال، الکترون است.

۴. در CMOS از PMOS هم استفاده می شود.





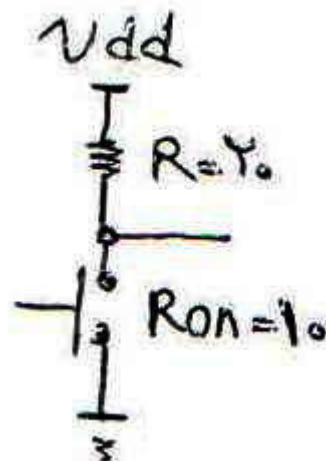
زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۲۶- در مدار مقابل  $V_{OH}$  و  $V_{OL}$  بترتیب از راست به چپ کدامند؟ (مقدار مقاومت ها بر حسب اهم است).



۰۲ مساوی صفر، مساوی  $V_{dd}$

۰۱ مساوی  $V_{dd}$ ، مساوی صفر

۰۴ نا مساوی صفر، مساوی  $V_{dd}$

۰۳ نا مساوی صفر، نا مساوی  $V_{dd}$

۲۷- سریعترین خانواده منطقی کدام است؟

۰۴  $NMOS$

۰۳ گالیم آرسناید

۰۲  $ECL$

۰۱  $TTL$

۲۸-  $NM_L$  معرف کدام گزینه است؟

۰۲ حاشیه امنیت نویز بالا

۰۱ حاشیه امنیت نویز پایین

۰۴ مینیمم ولتاژ در ورودی

۰۳ اتلاف توان



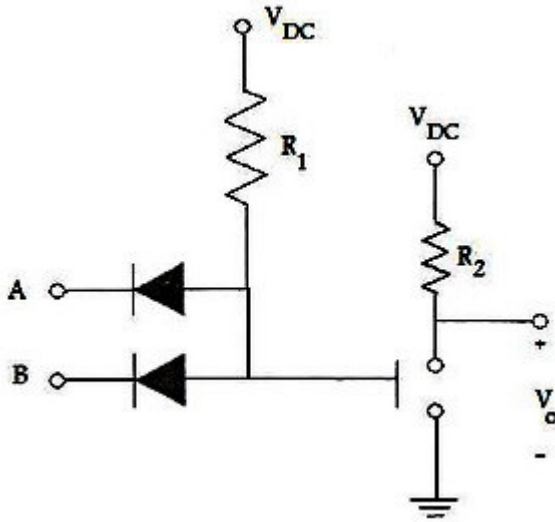
زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/کد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۲۹- مدار زیر معادل کدام گیت است؟ (توجه: کلید زیر  $R_2$  می تواند یک NMOS باشد)



NOR .۴

OR .۳

NAND .۲

AND .۱

۳۰- کمترین توان مصرفی برای خانواده های مختلف منطقی مربوط به کدام گزینه است؟

RTL .۴

LSTTL .۳

MECL .۲

CMOS .۱

مبانی دیجیتال ترم دوم ۹۲-۹۳

ج	1
ج	2
الف	3
ب	4
الف	5
د	6
الف	7
ج	8
د	9
ب	10
الف	11
د	12
ج	13
الف	14
ب	15
الف	16
د	17
ب	18
د	19
الف	20
ج	21
ج	22
ج	23
ب	24
ج	25
د	26
ج	27
الف	28
ب	29
الف	30