خلاصه درس

معماری کامپیوتر-فصل ٦

تهیه کننده و گردآورنده:

BORNA66

Power By WWW.Borna66.IR

WWW.PNU-CLUB.COM

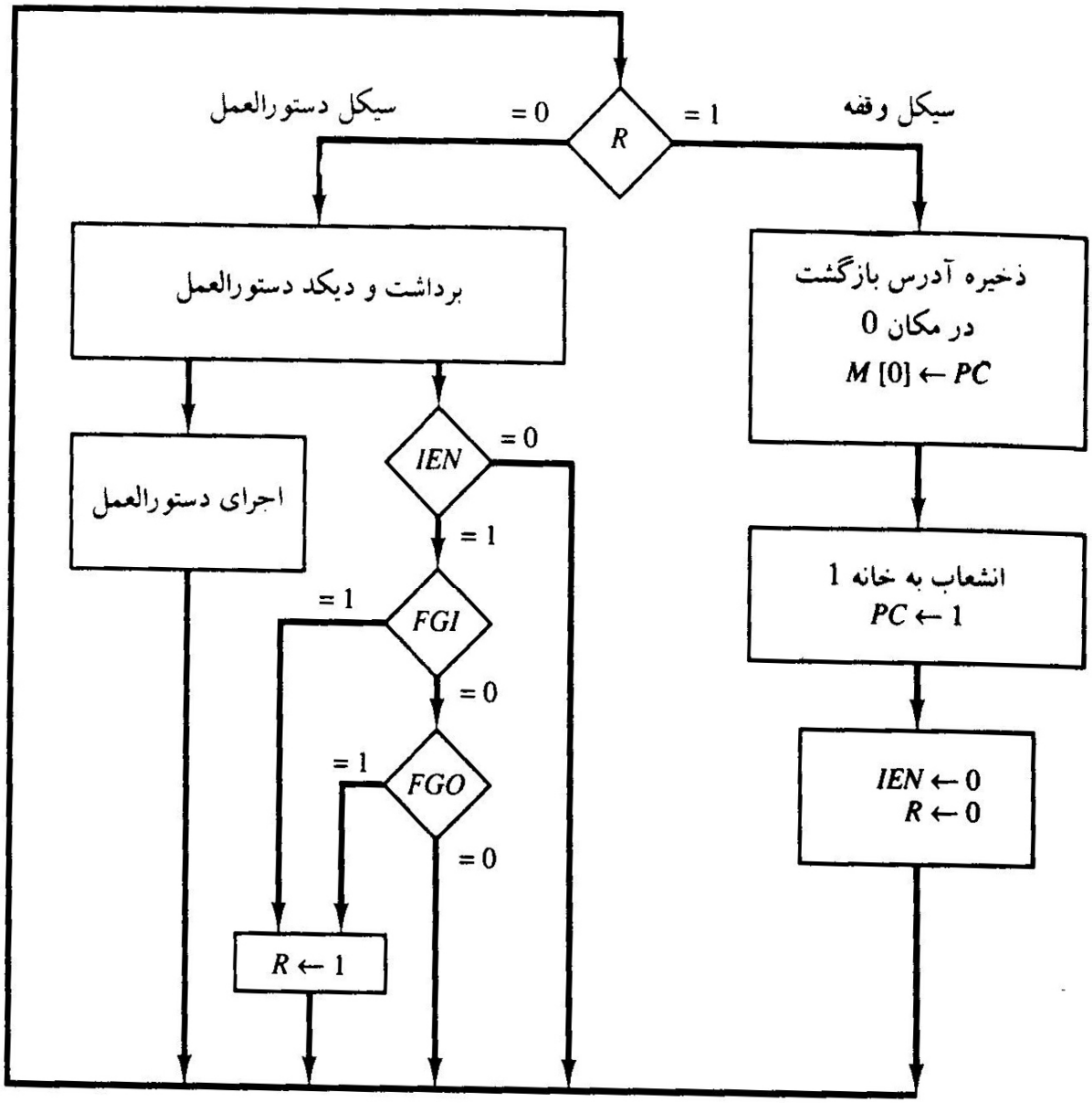
باشگاه علمی و آموزشی دانشجویان پیام نور

ارایه رایگان جدیدترین اخبار و نمونه سوالات امتحانی و جزوات درسی و منابع ارشد کلیه رشته ها ی پیام نور

==========

WWW. COMPUTER-ENG.IR <-> وب سایت مهندسی کامپیوتر <-> WWW.BORNA66.IR

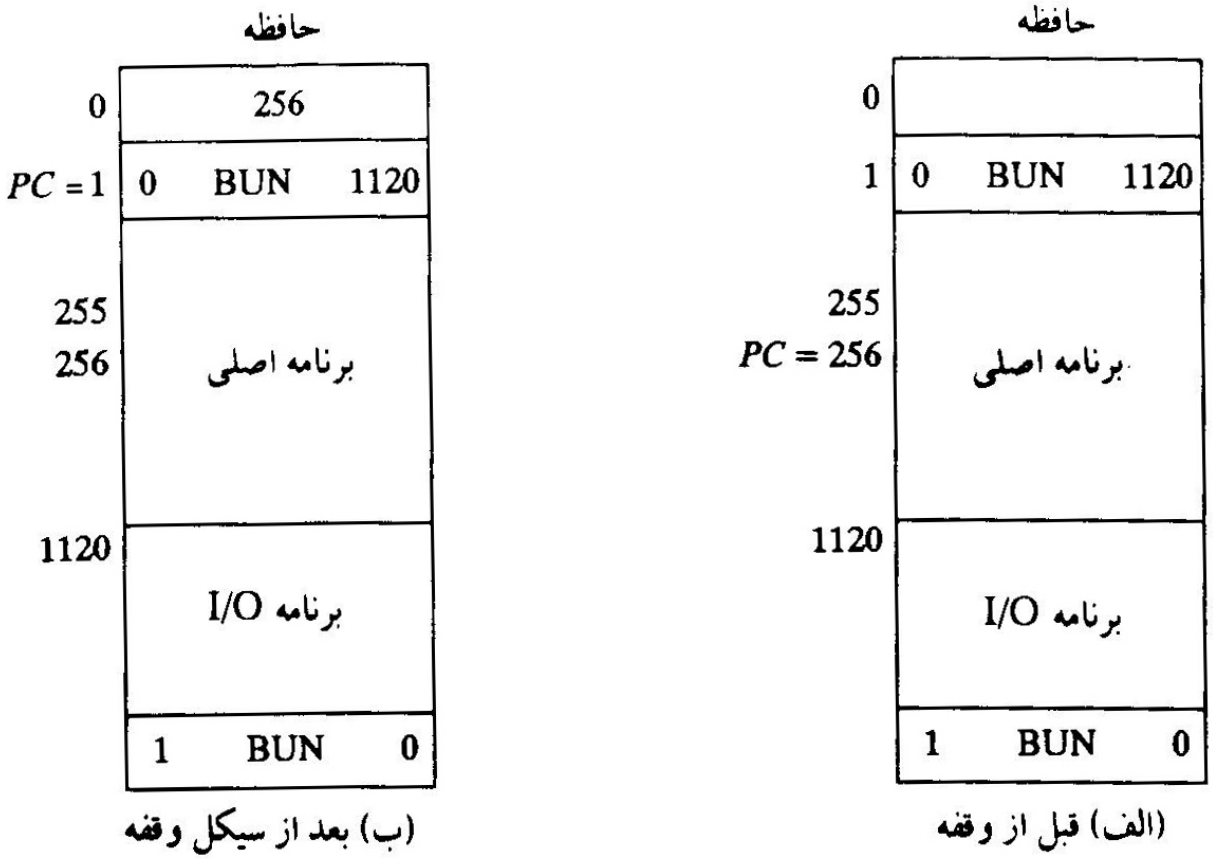
✓ وقفه برنامه :



فلوچارت سیکل وقفه

WWW.PNU-CLUB.COM

مثالی که نشان دهنده رخدادها در سیکل وقفه است در شکل زیر دیده می شود . فرض کنید که وقفه ای رخ داده و *R=1* است و به موازات آن هم کنترل مشغول اجرای دستوری در آدرس 255 می باشد . در این زمان ،آدرس برگشت در *PC* برابر 256 است .برنامه نویس قبلا" برنامه ای را برای سرویس دادن به ورودی و خروجی در حافظه و در آدرس 1120 قرارداده و یک BUN 1120 را در آدرس 1 قرار داده است . این مطلب در قسمت الف شکل زیر نشان داده شده است .



مثالی از سیکل وقفه

✓ سیکل وقفه :

ما حالا آماده ایم تا عبارات انتقال ثبات را برای سیکل وقفه بنویسیم . سیکل وقفه پس از آخرین فاز اجرا ، اگر فلیپ فلاپ *R=1* باشد آغاز می شود . این فلیپ فلاپ به شرطی 1 می شود که *IEN = 1* و یکی از دو فلیپ فلاپ *FGI* یا *FGO* برابر 1 باشد . این وضعیت در هر انتقال

WWW.PNU-CLUB.COM

پالس ساعتی امکان پذیر است به جز وقتی که سیگنال های T_0، T_1 و یا T_2 فعال باشند .

شرایط 1 شدن فلیپ فلاپ R با عبارت انتقال ثبات زیر می تواند بیان شود :

$$T'_0T'_1T'_2(IEN)(FGI+FGO): R_1 \leftarrow 1$$

نماد + بین FGI و FGO در تابع کنترلی یک عمل منطقی OR را بیان می دارد . این عمل با IEN و $T'_0T'_1T'_2$ ، AND می شود .

حال ما فازهای برداشت و دیکد سیکل دستور را تصحیح می کنیم . به جای استفاده از T_0، T_1 و T_2 (طبق فلوچارت سیکل دستورالعمل "آرایش اولیه") سه سیگنال مذکور را با R' ، AND می نماییم در نتیجه فازهای برداشت و دیکد با سه تابع کنترل $R'T_0$ ، $R'T_1$ و $R'T_2$ تعریف می شوند . دلیل این مورد این است که پس از فاز اجرای دستورالعمل و پاک شدن SC ، کنترل فقط با شرط $R=0$ به فاز برداشت خواهد رفت . در غیر اینصورت اگر $R=1$ باشد کنترل به سیکل وقفه خواهد رفت . سیکل وقفه آدرس برگشت (موجود در PC) را در آدرس 0 ذخیره ساخته و سپس به حافظه 1 انشعاب کرده و IEN و R و SC را هم 0 می کند . این اعمال با رشته ریزعمل های زیر امکان پذیر است.

$$RT_0: AR \leftarrow 0, TR \leftarrow PC$$

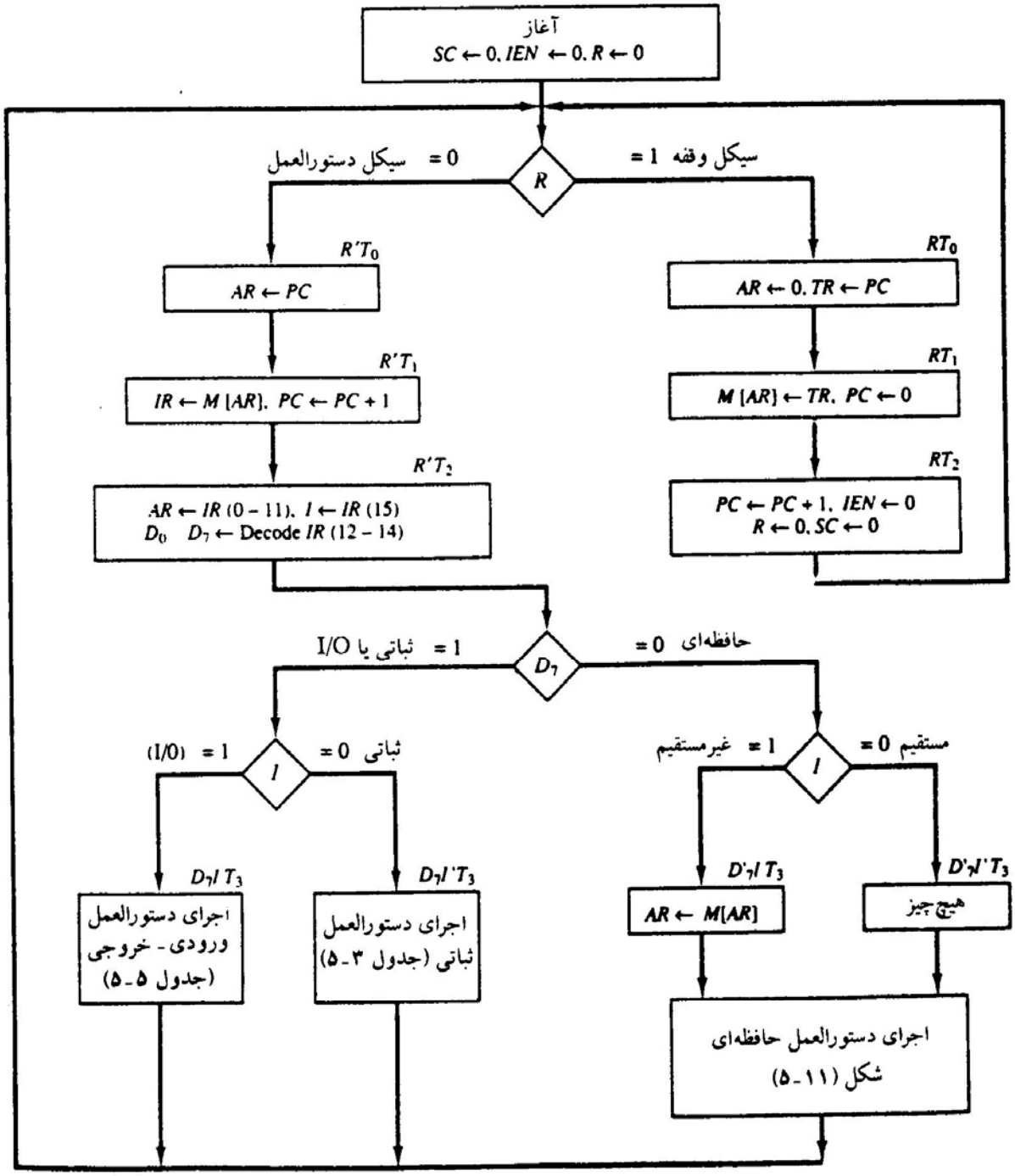
$$RT_1: M[AR] \leftarrow TR, PC \leftarrow 0$$

$$RT_2: PC \leftarrow PC+1, IEN \leftarrow 0, R \leftarrow 0, SC \leftarrow 0$$

WWW.PNU-CLUB.COM

✓ تشریح کامل کامپیوتر

فلوچارت نهایی سیکل دستورالعمل به همراه سیکل وفه برای کامپیوتر پایه در شکل زیر نشان داده شده است .



فلوچارت برای اعمال کامپیوتر

WWW.PNU-CLUB.COM

✓ طراحی کامپیوتر پایه

کامپیوتر پایه متشکل از بخش های سخت افزاری زیر است .

1- یک واحد حافظه با 4096 کلمه 16 بیتی

2- 9 ثبات : $SC , INPR , OUTR , TR, IR, AC, DR, PC, AR$

3- 7 فلیپ فلاپ $FGO , FGI , IEN , R , E , S, I$

4- دو دیکدر : یک دیکدر عملیاتی 8*3 و یک دیکدر زمانی 16*4

5- یک گذرگاه مشترک 16 بیتی

6- کنترل منطقی گیتی

7- جمع کننده و مدارمنطقی متصل به ورودی AC

✓ گیت های مدار کنترل

دیاگرام مدارکنترل در شکل واحد کنترل کامپیوتر دیده می شود. ورودی های این مدار شامل دو دیکدر، فلیپ فلاپ I و بیت های 0 تا 11 ثبات IR می باشند . سایر ورودی ها به کنترل عبارتند از بیت های 0 تا 15 ثبات AC برای کنترل $AC = 0$ و کنترل بیت علامت $AC(15)$ ، بیت های 0 تا 15 ثبات DR برای کنترل $DR = 0$ و مقادیر هفت فلیپ فلاپ .

خروجی های مدار کنترل منطقی عبارتند از :

1- سیگنال های کنترل ورودی 9 عدد ثبات

2- سیگنال های کنترل ورودی های خواندن و نوشتن

3- سیگنال های نشاندن (SET) ، پاک کردن $(CLEAR)$ و مکمل سازی فلیپ فلاپ ها

4- سیگنال S_2 ،S_1 و S_0 برای انتخاب ثبات برای گذرگاه

5- سیگنال های کنترل مدار منطقی جمع کننده AC

WWW.PNU-CLUB.COM

برداشت	$R'T_0$:	$AR \leftarrow PC$
	$R'T_1$:	$IR \leftarrow M[AR],\quad PC \leftarrow PC + 1$
دیکد	$R'T_2$:	$D_0, \ldots, D_7 \leftarrow$ Decode $IR(12\text{–}14)$,
		$AR \leftarrow IR(0\text{–}11),\quad I \leftarrow IR(15)$
غیرمستقیم	$D_7'IT_3$:	$AR \leftarrow M[AR]$
وقفه:		
	$T_0T_1T_2(IEN)(FGI + FGO)$:	$R \leftarrow 1$
	RT_0:	$AR \leftarrow 0,\quad TR \leftarrow PC$
	RT_1:	$M[AR] \leftarrow TR,\quad PC \leftarrow 0$
	RT_2:	$PC \leftarrow PC + 1,\quad IEN \leftarrow 0,\quad R \leftarrow 0,\quad SC \leftarrow 0$
حافظه‌ای:		
AND	D_0T_4:	$DR \leftarrow M[AR]$
	D_0T_5:	$AC \leftarrow AC \wedge DR,\quad SC \leftarrow 0$
ADD	D_1T_4:	$DR \leftarrow M[AR]$
	D_1T_5:	$AC \leftarrow AC + DR,\quad E \leftarrow C_{out},\quad SC \leftarrow 0$
LDA	D_2T_4:	$DR \leftarrow M[AR]$
	D_2T_5:	$AC \leftarrow DR,\quad SC \leftarrow 0$
STA	D_3T_4:	$M[AR] \leftarrow AC,\quad SC \leftarrow 0$
BUN	D_4T_4:	$PC \leftarrow AR,\quad SC \leftarrow 0$
BSA	D_5T_4:	$M[AR] \leftarrow PC,\quad AR \leftarrow AR + 1$
	D_5T_5:	$PC \leftarrow AR,\quad SC \leftarrow 0$
ISZ	D_6T_4:	$DR \leftarrow M[AR]$
	D_6T_5:	$DR \leftarrow DR + 1$
	D_6T_6:	$M[AR] \leftarrow DR,\quad$ if $(DR = 0)$ then $(PC \leftarrow PC + 1)\quad SC \leftarrow 0$
ثباتی:		
	$D_7I'T_3 = r$	(مشترک در همه دستورالعمل‌های ثباتی)
	$IR(i) = B_i\ (i = 0, 1, 2, \ldots, 11)$	
	r:	$SC \leftarrow 0$
CLA	rB_{11}:	$AC \leftarrow 0$
CLE	rB_{10}:	$E \leftarrow 0$
CMA	rB_9:	$AC \leftarrow \overline{AC}$
CME	rB_8:	$E \leftarrow \overline{E}$
CIR	rB_7:	$AC \leftarrow$ shr $AC,\quad AC(15) \leftarrow E,\quad E \leftarrow AC(0)$
CIL	rB_6:	$AC \leftarrow$ shl $AC,\quad AC(0) \leftarrow E,\quad E \leftarrow AC(15)$
INC	rB_5:	$AC \leftarrow AC + 1$
SPA	rB_4:	If $(AC(15) = 0)$ then $(PC \leftarrow PC + 1)$
SNA	rB_3:	If $(AC(15) = 1)$ then $(PC \leftarrow PC + 1)$
SZA	rB_2:	If $(AC = 0)$ then $PC \leftarrow PC + 1)$
SZE	rB_1:	If $(E = 0)$ then $(PC \leftarrow PC + 1)$
HLT	rB_0:	$S \leftarrow 0$
ورودی - خروجی:		
	$D_7IT_3 = p$	(مشترک در همه دستورالعمل‌های ورودی خروجی)
	$IR(i) = B_i\ (i = 6, 7, 8, 9, 10, 11)$	
	p:	$SC \leftarrow 0$
INP	pB_{11}:	$AC(0\text{–}7) \leftarrow INPR,\quad FGI \leftarrow 0$
OUT	pB_{10}:	$OUTR \leftarrow AC(0\text{–}7),\quad FGO \leftarrow 0$
SKI	pB_9:	If $(FGI = 1)$ then $(PC \leftarrow PC + 1)$
SKO	pB_8:	If $(FGO = 1)$ then $(PC \leftarrow PC + 1)$
ION	pB_7:	$IEN \leftarrow 1$
IOF	pB_6:	$IEN \leftarrow 0$

WWW.PNU-CLUB.COM

✓ کنترل ثبات ها و حافظه

ثبات های کامپیوتر متصل به سیستم گذرگاه مشترک در شکل ثبات های کامپیوتر پایه متصل به یک گذرگاه مشترک دیده می شوند . ورودی های کنترل ثبات ها LD (بارشدن) ، INR (افزایش) ، و CLR (پاک کردن) می باشند . فرض کنید که می خواهیم ساختار گیتی ورودی های کنترل AR را به دست آوریم . برای این منظور جدول توابع کنترل و اعمال جزئی کامپیوتر پایه را برای یافتن تمام عباراتی که محتوای AR را تغییر می دهد جستجو می کنیم .

$R'T_0 : AR \leftarrow PC$

$R'T_2 : AR \leftarrow IR(0-11)$

$D'_7IT_3 : AR \leftarrow M[AR]$

$RT_0 : AR \leftarrow 0$

$D_5T_4 : AR \leftarrow AR + 1$

سه عبارت اول بیانگر انتقال اطلاعات از یک ثبات یا حافظه به AR است . محتوای ثبات مبدا یا حافظه روی گذرگاه قرار گرفته و محتویات گذرگاه هم با تواناسازی ورودی کنترل LD منتل می شود . عبارت چهارم AR را 0 می کند . عبارت آخر هم AR را یک واحد افزایش می دهد . توابع کنترل می توانند با هم ترکیب و با سه عبارت بولی نشان داده شوند .

$LD\ (AR) = R'T_0 + R'T_2 + D'_7IT_3$

$CLR\ (AR) = RT_0$

$INR\ (AR) = D_5T_4$

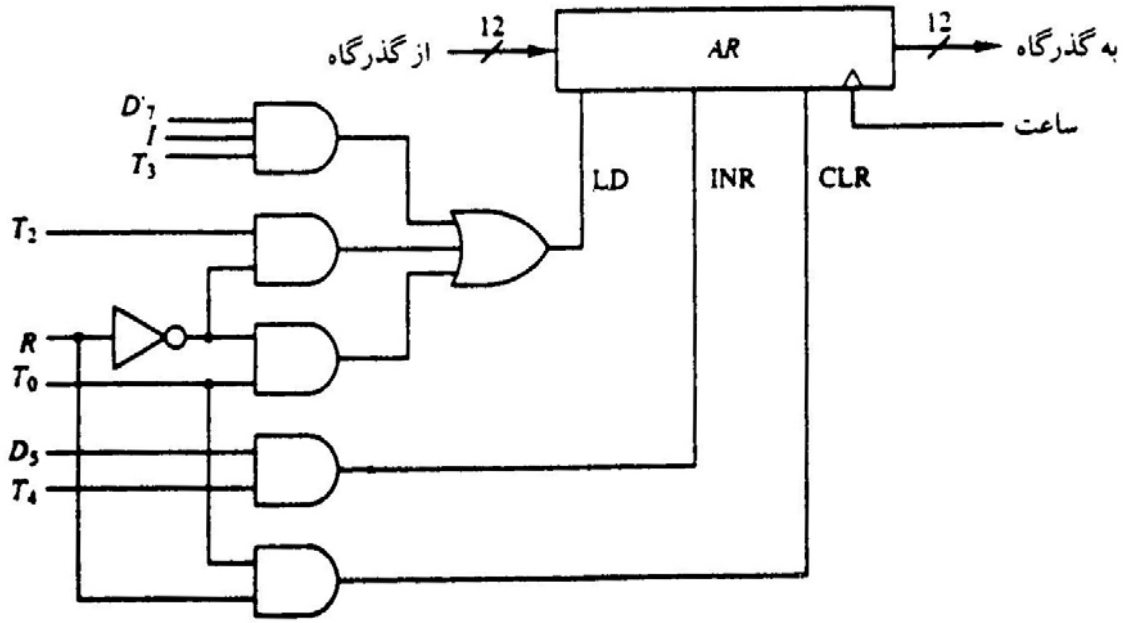
که در آنها $LD\ (AR)$ ورودی بارکردنAR ، $CLR\ (AR)$ ورودی پاک کردن AR و $INR\ (AR)$ ورودی افزایش AR است . مدارمنطقی کنترل گیتی AR در شکل زیر دیده می شود .

به طریق مشابه می توان مدارکنترل سایر ثبات ها و نیز ورودی های کنترل حافظه را نیز بدست آورد . گیت های منطقی مربوط به ورودی خواندن با جستجو در جدول توابع کنترل و اعمال جزئی کامپیوتر پایه برای یافتن عبارات خواندن نیز امکان پذیر است . نشانه عمل خواندن با نماد $M[AR] \leftarrow$ قابل تشخیص است .

WWW.PNU-CLUB.COM

$READ : R'T_1 + D'_7IT_3 + (D_0 + D_1 + D_2 + D_6)T_4$

خروجی گیت های منطقی که عبارت فوق را پیاده سازی می کنند باید به ورودی خواندن حافظه متصل گردد .



✓ کنترل فلیپ فلاپ های منفرد

گیت های کنترل هفت فلیپ فلاپ به روش مشابهی تعیین می شود . به عنوان مثال جدول توابع کنترل و اعمال جزئی کامپیوتر پایه نشان می دهد که IEN توسط دو دستورالعمل ممکن است تغییر یابد .

$pB_7 : IEN \leftarrow 1$

$pB_6 : IEN \leftarrow 0$

که در آن $p = D_7\ IT_3$ و B_7 و B_6 بیت های 7 و 6 از ثبات IR هستند. به علاوه در انتهای سیکل وقفه هم IEN ، پاک می شود .

$RT_2 : IEN \leftarrow 0$

WWW.PNU-CLUB.COM

✓ کنترل گذرگاه مشترک

گذرگاه 16 بیتی شکل خط گذرگاه با بافرهای سه حالته توسط ورودی های انتخاب S_2، S_1 و S_0 کنترل می شود . عدد اعشاری مقابل هر ورودی گذرگاه عدد معادل دودویی اعمال شده به ورودی های کنترل است تا ثبات مربوط به آن عدد انتخاب شود . جدول انکدر برای مدار انتخاب گذرگاه ، اعداد اعمال شده به $S_2\ S_1\ S_0$ برای انتخاب هر ثبات را نشان می دهد . هر عدد دودویی مرتبط با یک متغیر بولی X_1 تا X_7 است که با ساختار گیتی که باید برای انتخاب ثبات یا حافظه فعال باشد مرتبط است . به عنوان مثال وقتی $X_1 = 1$ است مقدار $S_2\ S_1\ S_0$ باید 001 باشد و خروجی AR برای گذرگاه انتخاب می شود . جدول انکدر برای مدار انتخاب گذرگاه ، می تواند به عنوان جدول درستی انکدر دودویی در نظر گرفته شود . مکان قرار گرفتن انکدر در ورودی های انتخاب گر در شکل انکدر برای ورودی های انتخاب گذرگاه ، دیده می شود . توابع بول برای انکدر برابر است با :

$$S_0 = X_1 + X_3 + X_5 + X_7$$

$$S_1 - X_2 + X_3 + X_6 + X_7$$

$$S_2 = X_4 \mid X_5 \mid X_6 \mid X_7$$

برای تعیین مدار منطقی ورودی انکدر ، لازم است توابع کنترلی که ثبات مربوطه را روی گذرگاه قرار دهند تعیین گردد . برای مثال ، برای یافتن مدار منطقی مربوط به $X_1 = 1$ ما تمام عبارات انتقال ثبات در جدول (توابع کنترل اعمال جزیی کامپیوتر پایه) را جستجو کرده و عباراتی که در آنها AR منبع است را استخراج می کنیم .

$$D_4T_4 : PC \leftarrow AR$$

$$D_5T_5 : PC \leftarrow AR$$

بنابراین ، تابع بول X_1 برابر است با

$$X_1 = D_4T_4 + D_5T_5$$

WWW.PNU-CLUB.COM

خروجی داده حافظه وقتی انتخاب می شود که $X_7 = 1$ و $S_2\ S_1\ S_0 = 111$ باشد . مدار گیتی که X_7 را تولید می کند نیز باید به ورودی خواندن حافظه وصل شود . بنابراین تابع بول برای X_7 مشابه آنچه قبلا" برای " خواندن " به دست آمد خواهد بود .

$$X_7 = R'T_1 + D'_7IT_3 + (D_0 + D_1 + D_2 + D_6)T_4$$

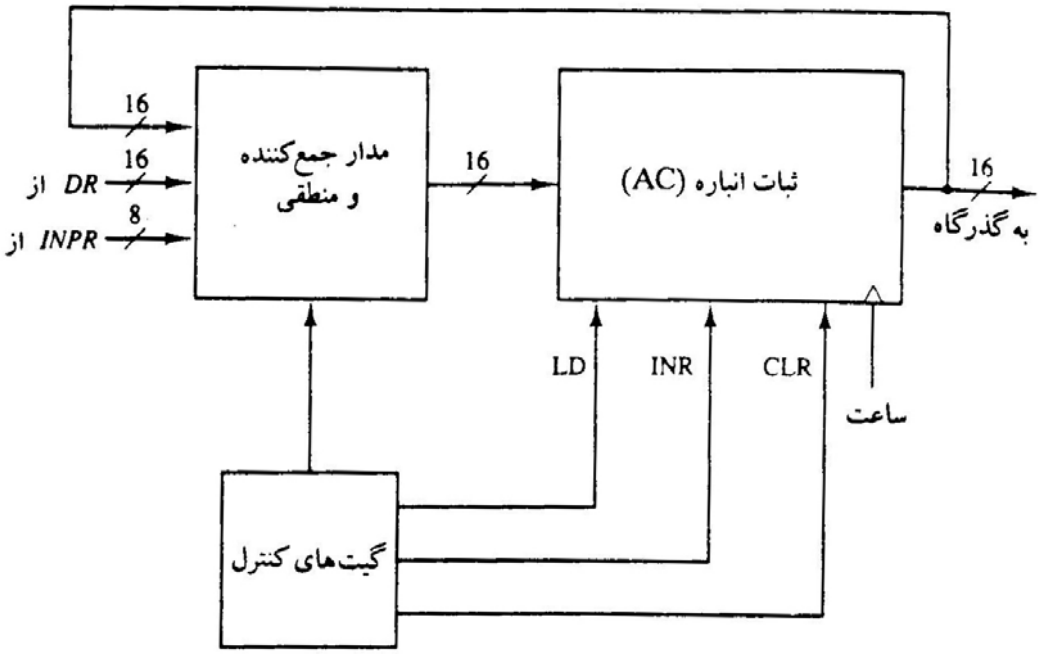
به روشی مشابه می توانیم مدار گیتی را برای سایر ثبات ها به دست آوریم .

ثبات انتخاب شده برای گذرگاه	خروجیها			ورودیها					
	S_0	S_1	S_2	x_7	x_6	x_5	x_4	x_3	x_2	x_1
هیچکدام	0	0	0	0	0	0	0	0	0	0
AR	1	0	0	0	0	0	0	0	0	1
PC	0	1	0	0	0	0	0	0	1	0
DR	1	1	0	0	0	0	0	1	0	0
AC	0	0	1	0	0	0	1	0	0	0
IR	1	0	1	0	0	1	0	0	0	0
TR	0	1	1	0	1	0	0	0	0	0
حافظه	1	1	1	1	0	0	0	0	0	0

✓ طراحی مدار منطقی انباره ***(ACCUMULATOR)***

مدارهای مربوط به ثبات *AC* در شکل " مدار مربوط به *AC* " دیده می شود . جمع کننده و مدارمنطقی دارای سه مجموعه ورودی است . یک مجموعه **16** ورودی از خروجی *AC* می آید . مجموعه **16** ورودی دیگر از *DR* می رسد . سومین مجموعه **8** ورودی از ثبات ورودی ***INPR*** گرفته شده است . خروجی جمع کننده و مدارمنطقی ورودی های داده را برای ثبات *AC* فراهم می آورند . به علاوه مدارهای منطقی لازم برای کنترل *LD* ، *INR* ، *CLR* در ثبات و کنترل جمع کننده و مدارمنطقی مربوطه نیز باید مد نظر باشند .

WWW.PNU-CLUB.COM

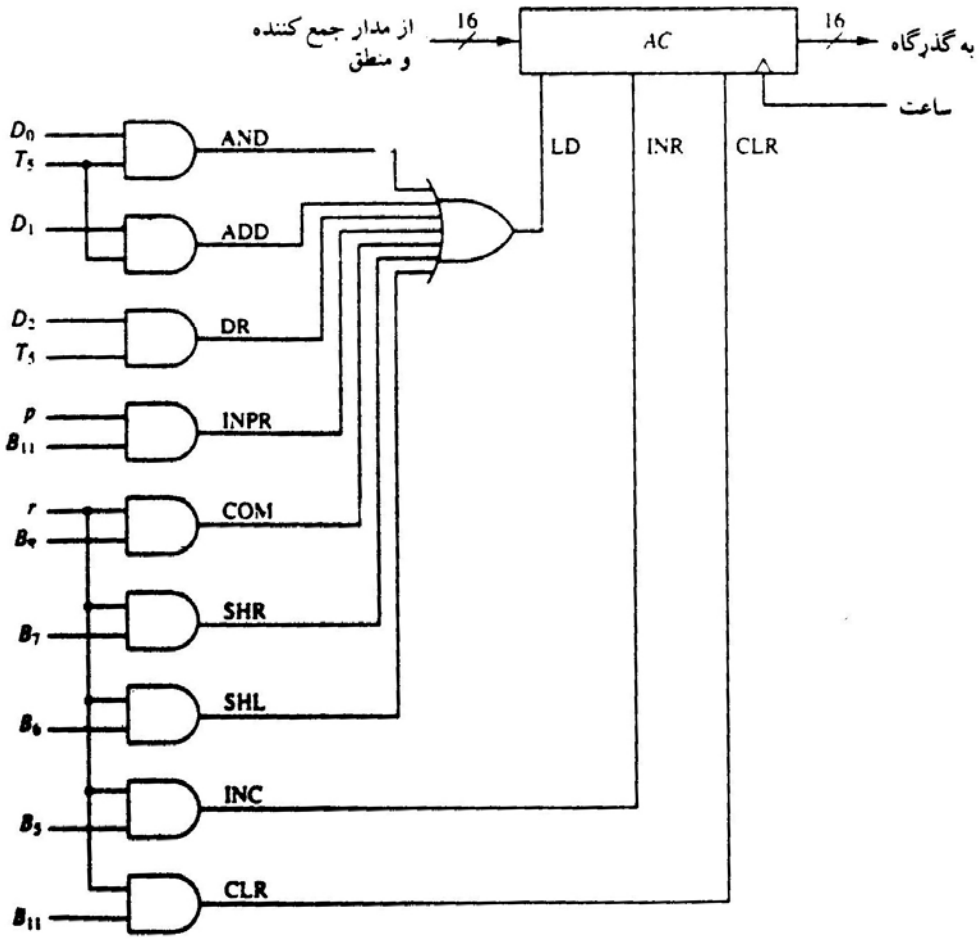


✓ کنترل ثبات *AC*

ساختار گیتی کنترل کننده ورودی های *AC* یعنی *LD* ، *INR* و *CLR* در شکل " ساختار گیت های مربوط به کنترل در ورودی های *LD* ، *INR* و *CLR* از *AC* " نشان داده شده اند . پیکربندی گیت ها از توابع کنترل در لیست ذیل به دست آمده اند . تابع کنترل برای ریز عمل های پاک کردن *(CLEAR)* ، rB_{11} است که در آن $r = D_7 I' T_3$ و B_{11} =IR(11) می باشد . خروجی گیت AND که این تابع کنترل را تولید می کند به ورودی CLR ثبات متصل است . به طور مشابه خروجی گیتی که ریزعمل افزایش (INCREMENT) را پیاده سازی می نماید به ورودی INR ثبات متصل است . هفت ریز عمل دیگر در جمع کننده و مدار منطقی تولید و در زمان معینی به AC اعمال می شوند . خروجی های گیت ها برای هر تابع کنترل با یک نام سمبلیک علامت گذاری شده است . این خروجی ها در طراحی جمع کننده و مدارمنطقی به کار می روند.

WWW.PNU-CLUB.COM

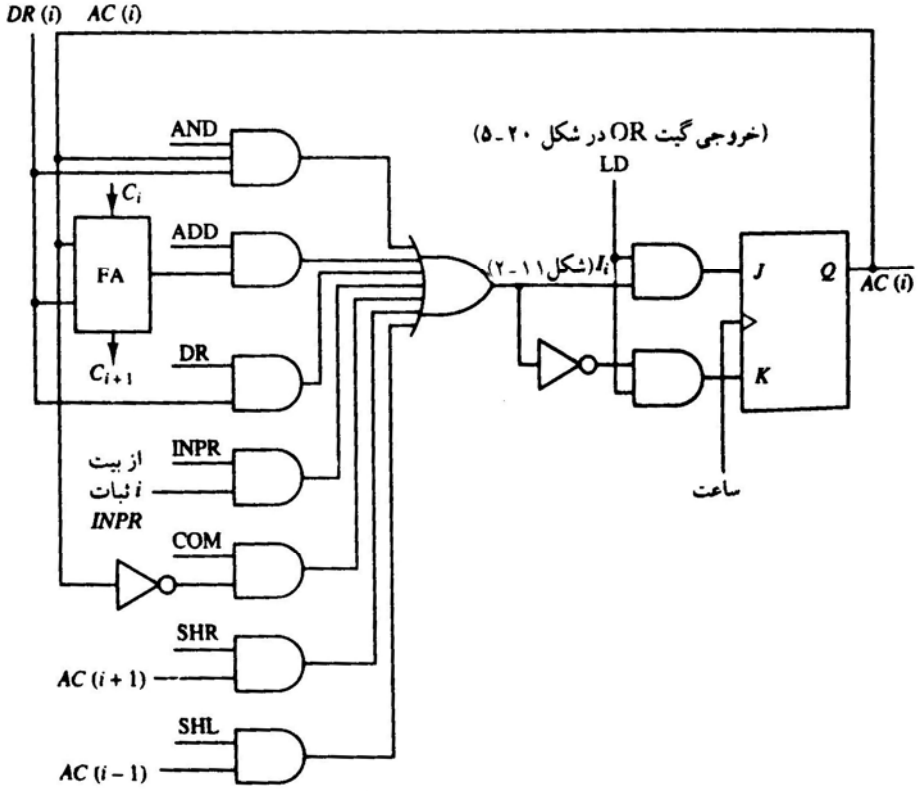
D_0T_5:	$AC \leftarrow AC \wedge DR$	AND با DR
D_1T_5:	$AC \leftarrow AC + DR$	Add با DR
D_2T_5:	$AC \leftarrow DR$	انتقال از DR
pB_{11}:	$AC(0\text{–}7) \leftarrow INPR$	انتقال از INPR
rB_9:	$AC \leftarrow \overline{AC}$	متمم
rB_7:	$AC \leftarrow \text{shr } AC, \quad AC(15) \leftarrow E$	شیفت به راست
rB_6:	$AC \leftarrow \text{shl } AC, \quad AC(0) \leftarrow E$	شیفت به چپ
rB_{11}:	$AC \leftarrow 0$	پاک
rB_5:	$AC \leftarrow AC + 1$	افزایش



ساختار گیت‌های مربوط به کنترل در ورودی‌های LD، INR و CLR از AC

WWW.PNU-CLUB.COM

✓ جمع کننده و مدارمنطقی



یک طبقه از مدار جمع کننده و منطق

WWW.PNU-CLUB.COM

باشگاه دانشجویان دانشگاه پیام نور

www.pnu-club.com

- ارایه جدیدترین **اخبار و اطلاعیه های** مختلف مرتبط با دانشگاه پیام نور
- ارایه جدیدترین نمونه **سوالات امتحانی** در تمامی رشته های پیام نور بصورت رایگان
- بانک جامع نمونه سوالات در چندین نیمسال برای تمامی رشته ها **بصورت رایگان**
- ارایه جدیدترین **مقالات و مطالب علمی مرتبط با رشته های** تحصیلی پیام نور
- بحث و گفتگو و تبادل نظر **و پاسخ به سوالات** مختلف پیام نور و رشته های تحصیلی پیام نور
- ارایه جدید ترین **جزوات و منابع کارشناسی و کارشناسی ارشد** رشته های تحصیلی پیام نور
- ارایه جدیدترین **نرم افزار های کامپیوتری** و مباحث گوناگون آموزشی و علمی و سرگرمی و.....
- و ارایه هر آنچه که مرتبط با پیام نور و سایر موضوعات **تخصصی و عمومی مجاز و قابل بحث**

تهیه کننده و گردآورنده:

BORNA66

Power By WWW.Borna66.IR